

REST AVAILABLE COPY

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 6月30日

出願番号
Application Number: 特願2004-193040

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号

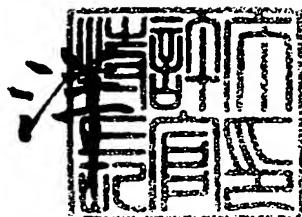
The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is

出願人
Applicant(s): 株式会社リコー

2005年 7月13日

八月
13

特許庁長官
Commissioner,
Japan Patent Office



【直機番】 170780
【整理番号】 194901
【提出日】 平成16年 6月30日
【あて先】 特許庁長官殿
【国際特許分類】 H04Q 9/00
【発明者】
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内
【氏名】 田脇 幸男
【特許出願人】
【識別番号】 000006747
【住所又は居所】 東京都大田区中馬込1丁目3番6号
【氏名又は名称】 株式会社リコー
【代理人】
【識別番号】 100086405
【弁理士】
【氏名又は名称】 河宮 治
【電話番号】 06-6949-1261
【ファクシミリ番号】 06-6949-0361
【連絡先】 担当
【選任した代理人】
【識別番号】 100098280
【弁理士】
【氏名又は名称】 石野 正弘
【電話番号】 06-6949-1261
【ファクシミリ番号】 06-6949-0361
【手数料の表示】
【予納台帳番号】 163028
【納付金額】 16,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9808860

【請求項1】

第1の送受信回路と少なくとも1つの第2の送受信回路とが1つの伝送路で接続され、該第1及び第2の各送受信回路間で半二重通信によるシリアル通信を行なうシリアル通信装置において、

前記第1の送受信回路は、前記第2の送受信回路に出力する2値の第1送信用データに応じて、外部から入力された2値のクロック信号における所定の第1信号レベルの期間に該第1信号レベルと相反する第2信号レベルの第1重畳パルスを重畳させて生成したシリアルデータ信号DATAを前記伝送路に出力し、

前記第2の送受信回路は、前記第1の送受信回路に出力する2値の第2送信用データに応じて、前記伝送路から入力された前記シリアルデータ信号DATAにおける前記クロック信号の第2信号レベルに相当する期間に第1信号レベルの第2重畳パルスを重畳させることを特徴とするシリアル通信装置。

【請求項2】

前記第1の送受信回路は、

前記クロック信号に対して第1信号レベルの期間に前記第1重畳パルスを重畳させて前記シリアルデータ信号DATAを生成し前記伝送路に出力する第1の送信回路部と、

前記シリアルデータ信号DATAから前記第2重畳パルスを抽出し前記第2送信用データの抽出を行う第1の受信回路部と、

を備えることを特徴とする請求項1記載のシリアル通信装置。

【請求項3】

前記第2の送受信回路は、

前記クロック信号における第2信号レベルの期間に相当する前記シリアルデータ信号DATAの期間に前記第2重畳パルスを重畳させて前記伝送路に送信する第2の送信回路部と、

前記第1の送受信回路から入力されたシリアルデータ信号DATAから前記第1重畳パルスを抽出し前記第1送信用データの抽出を行う第2の受信回路部と、
を備えることを特徴とする請求項1又は2記載のシリアル通信装置。

【請求項4】

前記第1の送信回路部は、所定の起点より始まるパルス幅T3の前記クロック信号の第1信号レベルの期間に、該起点から時間T2が経過した時点で、前記第2信号レベルのパルス幅T1の前記第1重畳パルスを重畳させて前記シリアルデータ信号DATAにおける1ビット分の所定の2値のレベルを表すと共に、前記起点から時間T2が経過した時点で、前記第1重畳パルスがない場合は、前記シリアルデータ信号DATAにおける1ビット分の他の2値のレベルを表し、更に前記パルス幅T1とパルス幅T3及び時間T2がT1 < T2 < T3でかつ(T1 + T2) < T3の関係が成り立つように、前記シリアルデータ信号DATAを生成して1ビットずつ連続してデータを出力するシリアル通信を行うことを特徴とする請求項2記載のシリアル通信装置。

【請求項5】

前記第2の送信回路部は、所定の起点より始まるパルス幅T3の前記クロック信号の第2信号レベルに相当する前記シリアルデータ信号DATAにおける第2信号レベルの期間に、該起点から時間T2が経過した時点で、前記第1信号レベルのパルス幅T1の前記第2重畳パルスを重畳させて前記シリアルデータ信号DATAにおける1ビット分の所定の2値のレベルを表すと共に、前記起点から時間T2が経過した時点で、前記第2重畳パルスがない場合は、前記シリアルデータ信号DATAにおける1ビット分の他の2値のレベルを表し、更に前記パルス幅T1とパルス幅T3及び時間T2がT1 < T2 < T3でかつ(T1 + T2) < T3の関係が成り立つように、前記シリアルデータ信号DATAを生成して1ビットずつ連続してデータを出力するシリアル通信を行うことを特徴とする請求項3記載のシリアル通信装置。

【請求項6】

前記の 1 ヶ回路部は、

入力された前記クロック信号を時間 T_2 だけ遅延させて出力する第 1 の T_2 遅延回路部と、

該第 1 の T_2 遅延回路部の出力信号を時間 T_1 だけ遅延させて出力する第 1 の T_1 遅延回路部と、

前記第 1 の T_2 遅延回路部の出力信号と該第 1 の T_1 遅延回路部の出力信号から、バルス幅 T_1 の前記第 1 重畳パルスを生成して出力する第 1 重畳パルス生成回路部と、

前記クロック信号に、該第 1 重畳パルス生成回路部から出力された第 1 重畳パルスを前記第 1 送信用データに応じて重畳させて、順次 1 ピット分のデータ信号を生成して前記シリアルデータ信号 DATA を生成し前記伝送路に出力する第 1 の出力信号生成回路部と、を備えることを特徴とする請求項 4 記載のシリアル通信装置。

【請求項 7】

前記第 1 の受信回路部は、

受信したシリアルデータ信号 DATA を時間 $(T_1 + T_2)$ 以上である時間 T_4 だけ遅延させて出力する第 1 の T_4 遅延回路部と、

該第 1 の T_4 遅延回路部から出力された信号を所定の時間遅延させて出力する第 1 の入力信号遅延回路部と、

前記受信したシリアルデータ信号 DATA と、該第 1 の入力信号遅延回路部の出力信号とから、前記第 2 送信用データを抽出して出力する第 1 のデータ抽出回路部と、を備えることを特徴とする請求項 4 又は 6 記載のシリアル通信装置。

【請求項 8】

前記第 2 の受信回路部は、

受信したシリアルデータ信号 DATA を時間 $(T_1 + T_2)$ 以上である時間 T_4 だけ遅延させて出力する第 2 の T_4 遅延回路部と、

該第 2 の T_4 遅延回路部から出力された信号を所定の時間遅延させて出力する第 2 の入力信号遅延回路部と、

前記受信したシリアルデータ信号 DATA 及び該第 2 の入力信号遅延回路部の出力信号から、前記第 1 送信用データを抽出して出力する第 2 のデータ抽出回路部と、を備えることを特徴とする請求項 5 記載のシリアル通信装置。

【請求項 9】

前記第 2 の送信回路部は、

受信した前記シリアルデータ信号 DATA を時間 T_2 だけ遅延させて出力する第 2 の T_2 遅延回路部と、

該第 2 の T_2 遅延回路部の出力信号を時間 T_1 だけ遅延させて出力する第 2 の T_1 遅延回路部と、

前記第 2 の T_2 遅延回路部の出力信号と該第 2 の T_1 遅延回路部の出力信号から、バルス幅 T_1 の前記第 2 重畳パルスを生成して出力する第 2 重畳パルス生成回路部と、

受信したシリアルデータ信号 DATA における前記クロック信号の第 2 信号レベルに相当する期間に、該第 2 重畳パルス生成回路部から出力された前記第 2 重畳パルスを前記第 2 送信用データに応じて重畳させて、順次 1 ピット分のデータ信号を生成して前記シリアルデータ信号 DATA を生成し前記伝送路に出力する第 2 の出力信号生成回路部と、を備えることを特徴とする請求項 5 又は 8 記載のシリアル通信装置。

【請求項 10】

前記第 1 の出力信号生成回路部は、前記シリアルデータ信号 DATA が第 2 信号レベルの期間、出力端をハイインピーダンス状態にすることを特徴とする請求項 6 記載のシリアル通信装置。

【請求項 11】

前記第 1 の出力信号生成回路部は、前記伝送路がブルダウン抵抗でブルダウンされている場合、前記シリアルデータ信号 DATA の立ち下がり時に該ブルダウン抵抗を所定の時間短絡させることを特徴とする請求項 6 又は 10 記載のシリアル通信装置。

前記第1の出力信号生成回路部は、前記伝送路がプルアップ抵抗でプルアップされている場合、前記シリアルデータ信号DATAの立ち上がり時に該プルアップ抵抗を所定の時間短絡させることを特徴とする請求項6又は10記載のシリアル通信装置。

【請求項 1 3】

前記第2の出力信号生成回路部は、前記シリアルデータ信号DATAが第1信号レベルの期間、出力端をハイインピーダンス状態にすることを特徴とする請求項9記載のシリアル通信装置。

【請求項 1 4】

前記第2の出力信号生成回路部は、前記伝送路がプルダウン抵抗でプルダウンされている場合、前記シリアルデータ信号DATAの立ち下がり時に該プルダウン抵抗を所定の時間短絡させることを特徴とする請求項9又は13記載のシリアル通信装置。

【請求項 1 5】

前記第2の出力信号生成回路部は、前記伝送路がプルアップ抵抗でプルアップされている場合、前記シリアルデータ信号DATAの立ち上がり時に該プルアップ抵抗を所定の時間短絡させることを特徴とする請求項9又は13記載のシリアル通信装置。

【請求項 1 6】

第1の送受信回路と少なくとも1つの第2の送受信回路とが1つの伝送路で接続され、該第1及び第2の各送受信回路間で半二重通信によるシリアル通信を行うシリアル通信装置のシリアル通信方法において、

前記第2の送受信回路に出力する2値の第1送信用データに応じて、外部から入力された2値のクロック信号における所定の第1信号レベルの期間に該第1信号レベルと相反する第2信号レベルの第1重畳パルスを重畳させて生成したシリアルデータ信号DATAを前記伝送路に出力し、

前記第1の送受信回路に出力する2値の第2送信用データに応じて、前記伝送路から入力された前記シリアルデータ信号DATAにおける前記クロック信号の第2信号レベルに相当する期間に第1信号レベルの第2重畳パルスを重畳させることを特徴とするシリアル通信方法。

【請求項 1 7】

所定の起点より始まるパルス幅T3の前記クロック信号の第1信号レベルの期間に、該起点から時間T2が経過した時点で、前記第2信号レベルのパルス幅T1の前記第1重畳パルスを重畳させて前記シリアルデータ信号DATAにおける1ビット分の所定の2値のレベルを表すと共に、前記起点から時間T2が経過した時点で、前記第1重畳パルスがない場合は、前記シリアルデータ信号DATAにおける1ビット分の他の2値のレベルを表し、更に前記パルス幅T1とパルス幅T3及び時間T2がT1 < T2 < T3 でかつ (T1 + T2) < T3 の関係が成り立つように、前記シリアルデータ信号DATAを生成して1ビットずつ連続してデータを出力するシリアル通信を行うことを特徴とする請求項16記載のシリアル通信方法。

【請求項 1 8】

所定の起点より始まるパルス幅T3の前記クロック信号の第2信号レベルに相当する前記シリアルデータ信号DATAにおける第2信号レベルの期間に、該起点から時間T2が経過した時点で、前記第1信号レベルのパルス幅T1の前記第2重畳パルスを重畳させて前記シリアルデータ信号DATAにおける1ビット分の所定の2値のレベルを表すと共に、前記起点から時間T2が経過した時点で、前記第2重畳パルスがない場合は、前記シリアルデータ信号DATAにおける1ビット分の他の2値のレベルを表し、更に前記パルス幅T1とパルス幅T3及び時間T2がT1 < T2 < T3 でかつ (T1 + T2) < T3 の関係が成り立つように、前記シリアルデータ信号DATAを生成して1ビットずつ連続してデータを出力するシリアル通信を行うことを特徴とする請求項16又は17記載のシリアル通信方法。

【請求項 1 9】

小ヘッド表面に收納されたリリーフ部又は凹部と、該小ヘッド表面と連絡を行なう構成を有したスレーブ装置に対応して接続された少なくとも1つの第2の送受信回路とが1つの伝送路で接続され、該第1及び第2の各送受信回路間で半二重通信によるシリアル通信を行うシリアル通信装置を備えたシステム装置において、

前記シリアル通信装置の第1の送受信回路は、前記ホスト装置から前記スレーブ装置に送信する2値の第1送信用データに応じて、前記ホスト装置から入力された2値のクロック信号における所定の第1信号レベルの期間に該第1信号レベルと相反する第2信号レベルの第1重畳パルスを重畳させて生成したシリアルデータ信号DATAを前記伝送路を介して前記第2の送受信回路に出力し、

前記シリアル通信装置の第2の送受信回路は、対応する前記スレーブ装置から前記ホスト装置に送信する2値の第2送信用データに応じて、前記第1の送受信回路から入力された前記シリアルデータ信号DATAにおける前記クロック信号の第2信号レベルに相当する期間に第1信号レベルの第2重畳パルスを重畳させることを特徴とするシステム装置。

【請求項20】

前記第1の送受信回路は、

前記クロック信号に対して第1信号レベルの期間に前記第1重畳パルスを重畳させて前記シリアルデータ信号DATAを生成し前記伝送路に出力する第1の送信回路部と、

前記シリアルデータ信号DATAから前記第2重畳パルスを抽出し前記第2送信用データの抽出を行う第1の受信回路部と、

を備えることを特徴とする請求項19記載のシステム装置。

【請求項21】

前記第2の送受信回路は、

前記クロック信号における第2信号レベルの期間に相当する前記シリアルデータ信号DATAの期間に前記第2重畳パルスを重畳させて前記伝送路に送信する第2の送信回路部と、

前記第1の送受信回路から入力されたシリアルデータ信号DATAから前記第1重畳パルスを抽出し前記第1送信用データの抽出を行う第2の受信回路部と、
を備えることを特徴とする請求項19又は20記載のシステム装置。

【請求項22】

前記第1の送信回路部は、所定の起点より始まるパルス幅T3の前記クロック信号の第1信号レベルの期間に、該起点から時間T2が経過した時点で、前記第2信号レベルのパルス幅T1の前記第1重畳パルスを重畳させて前記シリアルデータ信号DATAにおける1ビット分の所定の2値のレベルを表すと共に、前記起点から時間T2が経過した時点で、前記第1重畳パルスがない場合は、前記シリアルデータ信号DATAにおける1ビット分の他の2値のレベルを表し、更に前記パルス幅T1とパルス幅T3及び時間T2がT1 < T2 < T3でかつ(T1 + T2) < T3の関係が成り立つように、前記シリアルデータ信号DATAを生成して1ビットずつ連続してデータを出力するシリアル通信を行うことを特徴とする請求項20記載のシステム装置。

【請求項23】

前記第2の送信回路部は、所定の起点より始まるパルス幅T3の前記クロック信号の第2信号レベルに相当する前記シリアルデータ信号DATAにおける第2信号レベルの期間に、該起点から時間T2が経過した時点で、前記第1信号レベルのパルス幅T1の前記第2重畳パルスを重畳させて前記シリアルデータ信号DATAにおける1ビット分の所定の2値のレベルを表すと共に、前記起点から時間T2が経過した時点で、前記第2重畳パルスがない場合は、前記シリアルデータ信号DATAにおける1ビット分の他の2値のレベルを表し、更に前記パルス幅T1とパルス幅T3及び時間T2がT1 < T2 < T3でかつ(T1 + T2) < T3の関係が成り立つように、前記シリアルデータ信号DATAを生成して1ビットずつ連続してデータを出力するシリアル通信を行うことを特徴とする請求項21記載のシステム装置。

【発明の名称】シリアル通信装置、その通信方法及びそのシリアル通信装置を使用したシステム装置

【技術分野】

【0001】

本発明は、シリアル通信を行うシリアル通信装置、その通信方法及びそのシリアル通信装置を使用したシステム装置に関する、特に半二重通信によるシリアル通信を行うシリアル通信装置、その通信方法及びそのシリアル通信装置を使用したシステム装置に関する。

【背景技術】

【0002】

デジタル信号をシリアル通信で伝送する方法は従来から様々な方法が知られているが、その中で代表的なものを図17～図20に示している。

図17において、データ信号SdAは、最も一般的な信号であり、データを信号レベルでそのまま示し、各データの区切りを示した同期信号SaAを用いてデータ信号SdAからデータを抽出している。このような方式では、データ信号と同期信号の2つの信号が必要であった。

【0003】

次に、図18において、データ信号SdBは、パルス幅変調された信号であり、信号間隔は一定であるが、データが「0」のときと「1」のときで、パルス幅を変えている。この方式では、符号の間隔が問題になるだけで容易に非同期動作を行わせることができる（例えは、特許文献1～7参照。）。また、図19において、データ信号SdCは、パルスの時間的な位置を変えたパルス位置変調方式の信号であり、時間基準である同期信号SaCによってデータがサンプリングされている。図20において、データ信号SdDは、赤外線リモコン等で使用されている信号であり、上記のパルス幅変調とパルス位置変調を合わせた信号である。ただし、データ間隔は等間隔ではなく、非同期信号であり同期信号は不要である。

【0004】

図21は、半二重通信を行うシリアル通信装置の従来例を示した概略のブロック図である。図21のシリアル通信装置200において、マスター側送受信回路201は、マスター側送信回路部202とマスター側受信回路部203と送信権制御を行うマスター側スイッチ部204とを備えている。同様に、スレーブ側送受信回路205は、スレーブ側送信回路部206とスレーブ側受信回路部207と送信権制御を行うスレーブ側スイッチ部208とを備えている。マスター側送信回路部202とスレーブ側送信回路部206は基本的に同じものであり、マスター側受信回路部203とスレーブ側受信回路部207は基本的に同じものである。

【0005】

ここで、送信権がマスター側送受信回路201にある場合、データは、マスター側送受信回路201のマスター側送信回路部202からスレーブ側送受信回路のスレーブ側受信回路部207へ伝送される。また、送信権がスレーブ側送受信回路205に移ると、データはスレーブ側送受信回路205のスレーブ側送信回路部207からマスター側送受信回路201のマスター側受信回路部203へ伝送される。

【特許文献1】米国特許第698066号明細書

【特許文献2】米国特許第5862354号明細書

【特許文献3】米国特許第5978927号明細書

【特許文献4】米国特許第6108751号明細書

【特許文献5】米国特許第6239732号明細書

【特許文献6】米国特許第6412072号明細書

【特許文献7】米国特許第5803518号明細書

【発明の開示】

【発明が解決しようとする課題】

しかし、前述したように、従来は、データ信号の他に同期信号が必要であったり、同期信号が不要であっても、データからデータ信号を生成する、逆に、データ信号からデータを抽出するときの回路が複雑であったりした。更に、半二重通信を行うには、スレーブ側でも、マスター側と同様の回路が必要であり、送受信を切り替えるための切り替え手段が必要であるため、回路規模が大きくなり回路スペースやコストの増大を招いていた。

[0007]

本発明は、上記のような問題を解決するためになされたものであり、同期信号が不要で、マスター側及びスレーブ側の各送受信回路を簡単な回路でそれぞれ構成することができ、スレーブ側の回路負担を少なくして、送受信の切り替え手段が不要な、小型で安価なシリアル通信装置、その通信方法及びそのシリアル通信装置を使用したシステム装置を得ることを目的とする。

【課題を解決するための手段】

100081

この発明に係るシリアル通信装置は、第1の送受信回路と少なくとも1つの第2の送受信回路とが1つの伝送路で接続され、該第1及び第2の各送受信回路間で半二重通信によるシリアル通信を行うシリアル通信装置において、

前記第1の送受信回路は、前記第2の送受信回路に出力する2値の第1送信用データに応じて、外部から入力された2値のクロック信号における所定の第1信号レベルの期間に該第1信号レベルと相反する第2信号レベルの第1重畠パルスを重畠させて生成したシリアルデータ信号DATAを前記伝送路に出力し、

前記第2の送受信回路は、前記第1の送受信回路に出力する2値の第2送信用データに応じて、前記伝送路から入力された前記シリアルデータ信号DATAにおける前記クロック信号の第2信号レベルに相当する期間に第1信号レベルの第2重置パルスを重置させるものである。

[0 0 0 9]

また、前記第1の送受信回路は、

前記クロック信号に対して第1信号レベルの期間に前記第1重畠バスを重畠させて前記シリアルデータ信号DATAを生成し前記伝送路に出力する第1の送信回路部と、

前記シリアルデータ信号DATAから前記第2重畠バスを抽出し前記第2送信用データの抽出を行う第1の受信回路部と、
を備えるようにした。

[0 0 1 0]

また、前記第2の送受信回路は

前記クロック信号における第2信号レベルの期間に相当する前記シリアルデータ信号DATAの期間に前記第2重畠パルスを重畠させて前記伝送路に送信する第2の送信回路部と、

前記第1の送受信回路から入力されたシリアルデータ信号DATAから前記第1重畠バ尔斯を抽出し前記第1送信用データの抽出を行う第2の受信回路部と、を備えるようにした。

(0011)

具体的には、前記第1の送信回路部は、所定の起点より始まるパルス幅T3の前記クロック信号の第1信号レベルの期間に、該起点から時間T2が経過した時点で、前記第2信号レベルのパルス幅T1の前記第1重畠パルスを重畠させて前記シリアルデータ信号DATAにおける1ビット分の所定の2値のレベルを表すと共に、前記起点から時間T2が経過した時点で、前記第1重畠パルスがない場合は、前記シリアルデータ信号DATAにおける1ビット分の他の2値のレベルを表し、更に前記パルス幅T1とパルス幅T3及び時間T2がT1< T2< T3でかつ(T1+T2)< T3の関係が成り立つように、前記シリアルデータ信号DATAを生成して1ビットずつ連続してデータを出力するシリアル通信を行なうようにした。

また、前記第2の送信回路部は、所定の起点より始まるパルス幅T3の前記クロック信号の第2信号レベルに相当する前記シリアルデータ信号DATAにおける第2信号レベルの期間に、該起点から時間T2が経過した時点で、前記第1信号レベルのパルス幅T1の前記第2重畳パルスを重畳させて前記シリアルデータ信号DATAにおける1ビット分の所定の2値のレベルを表すと共に、前記起点から時間T2が経過した時点で、前記第2重畳パルスがない場合は、前記シリアルデータ信号DATAにおける1ビット分の他の2値のレベルを表し、更に前記パルス幅T1とパルス幅T3及び時間T2がT1 < T2 < T3でかつ(T1 + T2) < T3の関係が成り立つように、前記シリアルデータ信号DATAを生成して1ビットずつ連続してデータを出力するシリアル通信を行なうようにした。

[0 0 1 3]

また、前記第1の送信回路部は、
入力された前記クロック信号を時間T2だけ遅延させて出力する第1のT2遅延回路部
と、

該第1のT2遅延回路部の出力信号を時間T1だけ遅延させて出力する第1のT1遅延回路部と、

前記第1のT2遅延回路部の出力信号と該第1のT1遅延回路部の出力信号から、パルス幅T1の前記第1重畳パルスを生成して出力する第1重畳パルス生成回路部と、

前記クロック信号に、該第1重畳パルス生成回路部から出力された第1重畳パルスを前記第1送信用データに応じて重畳させて、順次1ビット分のデータ信号を生成して前記シリアルデータ信号DATAを生成し前記伝送路に出力する第1の出力信号生成回路部と、を備えるようにした。

{ 0 0 1 4 }

また、前記第1の受信回路部は、

受信したシリアルデータ信号DATAを時間($T_1 + T_2$)以上である時間 T_4 だけ遅延させて出力する第1の T_4 遅延回路部と、

該第1のT4遅延回路部から出力された信号を所定の時間遅延させて出力する第1の入力信号遅延回路部と、

前記受信したシリアルデータ信号DATAと、該第1の入力信号遅延回路部の出力信号とから、前記第2送信用データを抽出して出力する第1のデータ抽出回路部と、を備えるようにした。

[00151]

また、前記第2の受信回路部は、

受信したシリアルデータ信号DATAを時間($T_1 + T_2$)以上である時間 T_4 だけ遅延させて出力する第2の T_4 遅延回路部と、

該第2のT4遅延回路部から出力された信号を所定の時間遅延させて出力する第2の入力信号遅延回路部と、

前記受信したシリアルデータ信号DATA及び該第2の入力信号遅延回路部の出力信号から、前記第1送信用データを抽出して出力する第2のデータ抽出回路部と、を備えるようにした。

[00161]

また、前記第2の送信回路部は、

受信した前記シリアルデータ信号DATAを時間T2だけ遅延させて出力する第2のT2遅延回路部と、

該第2のT2遅延回路部の出力信号を時間T1だけ遅延させて出力する第2のT1遅延回路部と、

前記第2のT2遅延回路部の出力信号と該第2のT1遅延回路部の出力信号から、バルス幅T1の前記第2重疊バルスを生成して出力する第2重疊バルス生成回路部と、

前記回路ノードに心して前記シリアルデータ信号DATAを生成し前記伝送路に出力する第2の出力信号生成回路部と、を備えるようにした。

【0017】

また、前記第1の出力信号生成回路部は、前記シリアルデータ信号DATAが第2信号レベルの期間、出力端をハイインピーダンス状態にするようにした。

【0018】

この場合、前記第1の出力信号生成回路部は、前記伝送路がプルダウン抵抗でプルダウンされている場合、前記シリアルデータ信号DATAの立ち下がり時に該プルダウン抵抗を所定の時間短絡させるようにする。

【0019】

また、前記第1の出力信号生成回路部は、前記伝送路がプルアップ抵抗でプルアップされている場合、前記シリアルデータ信号DATAの立ち上がり時に該プルアップ抵抗を所定の時間短絡させるようにしてもよい。

【0020】

また、前記第2の出力信号生成回路部は、前記シリアルデータ信号DATAが第1信号レベルの期間、出力端をハイインピーダンス状態にするようにした。

【0021】

この場合、前記第2の出力信号生成回路部は、前記伝送路がプルダウン抵抗でプルダウンされている場合、前記シリアルデータ信号DATAの立ち下がり時に該プルダウン抵抗を所定の時間短絡させるようにする。

【0022】

また、前記第2の出力信号生成回路部は、前記伝送路がプルアップ抵抗でプルアップされている場合、前記シリアルデータ信号DATAの立ち上がり時に該プルアップ抵抗を所定の時間短絡させるようにしてもよい。

【0023】

また、この発明に係るシリアル通信方法は、第1の送受信回路と少なくとも1つの第2の送受信回路とが1つの伝送路で接続され、該第1及び第2の各送受信回路間で半二重通信によるシリアル通信を行うシリアル通信装置のシリアル通信方法において、

前記第2の送受信回路に出力する2値の第1送信用データに応じて、外部から入力された2値のクロック信号における所定の第1信号レベルの期間に該第1信号レベルと相反する第2信号レベルの第1重畠パルスを重畠させて生成したシリアルデータ信号DATAを前記伝送路に出力し、

前記第1の送受信回路に出力する2値の第2送信用データに応じて、前記伝送路から入力された前記シリアルデータ信号DATAにおける前記クロック信号の第2信号レベルに相当する期間に第1信号レベルの第2重畠パルスを重畠させるようにした。

【0024】

具体的には、所定の起点より始まるパルス幅T3の前記クロック信号の第1信号レベルの期間に、該起点から時間T2が経過した時点で、前記第2信号レベルのパルス幅T1の前記第1重畠パルスを重畠させて前記シリアルデータ信号DATAにおける1ビット分の所定の2値のレベルを表すと共に、前記起点から時間T2が経過した時点で、前記第1重畠パルスがない場合は、前記シリアルデータ信号DATAにおける1ビット分の他の2値のレベルを表し、更に前記パルス幅T1とパルス幅T3及び時間T2がT1 < T2 < T3でかつ(T1 + T2) < T3の関係が成り立つように、前記シリアルデータ信号DATAを生成して1ビットずつ連続してデータを出力するシリアル通信を行うようにした。

【0025】

また、所定の起点より始まるパルス幅T3の前記クロック信号の第2信号レベルに相当する前記シリアルデータ信号DATAにおける第2信号レベルの期間に、該起点から時間T2が経過した時点で、前記第1信号レベルのパルス幅T1の前記第2重畠パルスを重畠させて前記シリアルデータ信号DATAにおける1ビット分の所定の2値のレベルを表す

これに、前記起点から時間 T_1 と T_2 が経過した時点で、前記第 1 送受信回路部は、前記シリアルデータ信号 DATA における 1 ビット分の他の 2 値のレベルを表し、更に前記パルス幅 T_1 とパルス幅 T_3 及び時間 T_2 が $T_1 < T_2 < T_3$ でかつ $(T_1 + T_2) < T_3$ の関係が成り立つように、前記シリアルデータ信号 DATA を生成して 1 ビットずつ連続してデータを出力するシリアル通信を行なうようにした。

【0026】

また、この発明に係るシステム装置は、ホスト装置に接続された第 1 の送受信回路と、該ホスト装置と通信を行う所定の機能を有したスレーブ装置に対応して接続された少なくとも 1 つの第 2 の送受信回路とが 1 つの伝送路で接続され、該第 1 及び第 2 の各送受信回路間で半二重通信によるシリアル通信を行うシリアル通信装置を備えたシステム装置において、

前記シリアル通信装置の第 1 の送受信回路は、前記ホスト装置から前記スレーブ装置に送信する 2 値の第 1 送信用データに応じて、前記ホスト装置から入力された 2 値のクロック信号における所定の第 1 信号レベルの期間に該第 1 信号レベルと相反する第 2 信号レベルの第 1 重疊パルスを重疊させて生成したシリアルデータ信号 DATA を前記伝送路を介して前記第 2 の送受信回路に出力し、

前記シリアル通信装置の第 2 の送受信回路は、対応する前記スレーブ装置から前記ホスト装置に送信する 2 値の第 2 送信用データに応じて、前記第 1 の送受信回路から入力された前記シリアルデータ信号 DATA における前記クロック信号の第 2 信号レベルに相当する期間に第 1 信号レベルの第 2 重疊パルスを重疊させるものである。

【0027】

具体的には、前記第 1 の送受信回路は、

前記クロック信号に対して第 1 信号レベルの期間に前記第 1 重疊パルスを重疊させて前記シリアルデータ信号 DATA を生成し前記伝送路に出力する第 1 の送信回路部と、

前記シリアルデータ信号 DATA から前記第 2 重疊パルスを抽出し前記第 2 送信用データの抽出を行う第 1 の受信回路部と、
を備えるようにした。

【0028】

また、前記第 2 の送受信回路は、

前記クロック信号における第 2 信号レベルの期間に相当する前記シリアルデータ信号 DATA の期間に前記第 2 重疊パルスを重疊させて前記伝送路に送信する第 2 の送信回路部と、

前記第 1 の送受信回路から入力されたシリアルデータ信号 DATA から前記第 1 重疊パルスを抽出し前記第 1 送信用データの抽出を行う第 2 の受信回路部と、
を備えるようにした。

【0029】

具体的には、前記第 1 の送信回路部は、所定の起点より始まるパルス幅 T_3 の前記クロック信号の第 1 信号レベルの期間に、該起点から時間 T_2 が経過した時点で、前記第 2 信号レベルのパルス幅 T_1 の前記第 1 重疊パルスを重疊させて前記シリアルデータ信号 DATA における 1 ビット分の所定の 2 値のレベルを表すと共に、前記起点から時間 T_2 が経過した時点で、前記第 1 重疊パルスがない場合は、前記シリアルデータ信号 DATA における 1 ビット分の他の 2 値のレベルを表し、更に前記パルス幅 T_1 とパルス幅 T_3 及び時間 T_2 が $T_1 < T_2 < T_3$ でかつ $(T_1 + T_2) < T_3$ の関係が成り立つように、前記シリアルデータ信号 DATA を生成して 1 ビットずつ連続してデータを出力するシリアル通信を行なうようにした。

【0030】

また、前記第 2 の送信回路部は、所定の起点より始まるパルス幅 T_3 の前記クロック信号の第 2 信号レベルに相当する前記シリアルデータ信号 DATA における第 2 信号レベルの期間に、該起点から時間 T_2 が経過した時点で、前記第 1 信号レベルのパルス幅 T_1 の前記第 2 重疊パルスを重疊させて前記シリアルデータ信号 DATA における 1 ビット分の

前記シリアルデータ信号DATAをデータに、前記起始信号が付加信号が転換した時点で、前記第一出力端子がない場合は、前記シリアルデータ信号DATAにおける1ビット分の他の2値のレベルを表し、更に前記パルス幅T1とパルス幅T3及び時間T2がT1 < T2 < T3でかつ(T1+T2) < T3の関係が成り立つように、前記シリアルデータ信号DATAを生成して1ビットずつ連続してデータを出力するシリアル通信を行なうようにした。

【発明の効果】

【0031】

本発明のシリアル通信装置、その通信方法及びそのシリアル通信装置を使用したシステム装置によれば、1本の伝送路による1ワイヤ通信を、送受信の切り替え手段を使用する必要がなく少ない回路構成で実現することができるため、小型化とコストの低減を図ることができ、更に、通信線をバス構成にすることができる。

【0032】

また、本発明のシリアル通信装置及びそのシリアル通信装置を使用したシステム装置によれば、シリアルデータ信号DATAの信号波形を急峻にすることができるため高速動作を可能にすることができる、伝送路上の信号衝突をなくすことができることから消費電力のロスをなくすことができる。

【発明を実施するための最良の形態】

【0033】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態。

図1は、本発明の第1の実施の形態におけるシリアル通信装置の例を示した概略のプロック図である。

図1において、シリアル通信装置1は、ホスト装置HCとスレーブ装置SC1～SCn(nは、n>0の整数)との間で半二重通信によるシリアル通信を行うものであり、マスター側送受信回路2とスレーブ側送受信回路SL1～SLnで構成されている。なお、マスター側送受信回路2は第1の送受信回路をなし、スレーブ側送受信回路SL1～SLnはそれぞれ第2の送受信回路をなす。

【0034】

マスター側送受信回路2はホスト装置HCに、スレーブ側送受信回路SL1～SLnは対応するスレーブ装置SC1～SCnにそれぞれ接続され、マスター側送受信回路2とスレーブ側送受信回路SL1～SLnは、シリアル信号の伝送を行う伝送路4で接続されている。また、伝送路4と接地電圧との間にはブルダウン抵抗5が接続されている。なお、伝送路4は、信号線の他に、光、超音波といった音、又は電波等を用いて形成されるようにもよい。

【0035】

スレーブ側送受信回路SL1～SLnは、同じ構成であることから任意のスレーブ側送受信回路SLk(k=1～n)を例にして説明する。マスター側送受信回路2は、マスター側送信回路部11とマスター側受信回路部12で構成され、スレーブ側送受信回路SLkは、スレーブ側送信回路部13とスレーブ側受信回路部14で構成されている。マスター側送信回路部11及びマスター側受信回路部12と、スレーブ側送信回路部13及びスレーブ側受信回路部14とは伝送路4で接続されている。マスター側送受信回路2からスレーブ側送受信回路SLkにデータを送信する場合は、マスター側送信回路部11は、ホスト装置HCから入力されたクロック信号TCLKに対してハイ(High)レベルの期間にパルスを重畳させてデータを書き込み、該データを書き込んだシリアルデータ信号DATAをマスター側送信回路部11から伝送路4を介してスレーブ側送受信回路SLkに送信し、スレーブ側受信回路部14は、伝送路4を介して入力されたシリアルデータ信号DATAからデータを抽出する。

【0036】

また、スレーブ側送受信回路SLkからマスター側送受信回路2にデータを送信する場合、スレーブ側送受信回路SLkは、マスター側送受信回路2から伝送路4を介して入力

これにノーノルノーノ用ウレハトハノノモモを付せん。ヘレーノ用送信回路部100へ
スレーブ側受信回路部11は接続されており、スレーブ側送信回路部13は、伝送路4を介
して入力されたシリアルデータ信号DATAに対してロー(Low)レベルの期間にパルスを重複させてデータを書き込み、該データを書き込んだシリアルデータ信号DATAを、
伝送路4を介してマスター側送受信回路2に送信し、マスター側受信回路部12は、伝
送路4を介して入力されたシリアルデータ信号DATAからデータを抽出する。例えば、
携帯電話等において、スレーブ装置SC1～SCnは、電池バックに搭載された温度検出
装置や、バッテリBATの残量検出装置や、電池バックの種類を識別するための識別装置
等であり、この場合、温度検出装置やバッテリBATの残量検出装置をなすスレーブ装置
は、電池バックに内蔵されたバッテリBATにそれぞれ接続されている。

【0037】

ここで、図2は、図1で示したシリアル通信装置1の通信プロトコルの例を示した図である。

図2において、ホスト装置HCは、シリアル通信装置1を使用して各スレーブ装置SC1～SCnにハイレベルの信号を一定期間以上送信するブリアンブル送信を行う。各スレーブ装置SC1～SCnは、ハイレベルの信号が連續して入力されると、ブリアンブルがホスト装置HCから送信されてきたことを認識し、ブリアンブル準備期間になる。この状態で、ホスト装置HCがローレベルの1クロックパルスを送信した後、例えばスレーブ装置SC1固有のIDを送信する。スレーブ装置SC1～SCnは、ブリアンブルの後、ローレベルの1クロックパルスを受信すると次にIDを受信し、該ID値が自分のIDと一致するかどうかを判断する。

【0038】

スレーブ装置SC1のみが自分のIDと一致することを認識し、他のスレーブ装置はIDが自分のものと異なることを認識する。スレーブ装置SC1はホスト装置HCから発行されたIDが自分のIDと一致することを認識したことから、認識信号であるアクノリッジ信号ACKをホスト装置HCに返信する。ホスト装置HCは、1ワイヤである伝送路4上にアクノリッジ信号ACKが発行されたことを確認すると、伝送路4上にスレーブ装置SC1があることと、スレーブ装置SC1が正常に通信できる状態であることを認識する。これによって、ホスト装置HCは、スレーブ装置SC1に対して処理を行うコマンドを発行する。

【0039】

スレーブ装置SC1は、ホスト装置HCからのコマンドを受信すると、該コマンドを実行し、該コマンドの実行結果をホスト装置HCに返信する必要がある場合は、該実行結果をホスト装置HCに返信する。前記コマンドが、例えば特定のアドレスのレジスタリード命令であった場合、該コマンドの実行結果としてレジスタの内容をホスト装置HCに返信する。ホスト装置HCが受信データの確認を行うと、1つの処理が終了する。ホスト装置HCは、仮に、同じスレーブ装置、又は他のスレーブ装置に対して続けて通信を行う場合は、次の通信のためのブリアンブル送信を開始する。

【0040】

1ワイヤバス通信は、デバイスの端子数を削減することでコストを低減させるために使用されることが多い。このため、スレーブ装置の回路は、できるだけ汎用性の高いものにすることにより、大量生産によるコスト低減が要求される。しかし、スレーブ装置の回路を汎用化する場合、例えばスレーブ装置SC1とスレーブ装置SC2が異なったシステムで使用される場合、システムによって要求されるブリアンブル期間が異なる場合がある。このように、スレーブ装置を汎用化し、かつ、異なったシステムでも共通の方式を使用するために、ブリアンブル期間を固定せずに一定期間以上同じ信号を連續して送信することで、ブリアンブル確定状態を作るようにする。

【0041】

このようにすることで、例えばスレーブ装置SC1では32クロック期間以上でブリアンブル状態になり、スレーブ装置SC2は20クロック期間以上のブリアンブル状態が必

少し、他のヘラーの技術として、これは主にロジック回路が必要な場合、例えば36クロック期間プリアンブル状態にすれば、すべてのスレーブ装置が、プリアンブル確定状態になる。この後、ローレベルのパルスを送信することで、すべてのスレーブ装置SC1～SCnが同時にID検出期間に移行することが可能になる。

【0042】

また、1ワイヤバス通信において、あらかじめ、1ワイヤバス上に接続されているスレーブ装置が分かっている場合、プリアンブル通信の後、IDを発行して特定のスレーブ装置を選択すると、直ちにコマンドを発行する方法も考えられる。この場合、通信時間を節約することができるメリットがあるが、1ワイヤバスが外部に開放され、システムとしてオプションで不特定多数のデバイスが接続される場合には対応することができなくなる。このように、不特定多数のデバイスが接続されるような場合には、ホスト装置HCは、最初、アクセスしたいスレーブ装置があるかどうかを確認する必要がある。

【0043】

このため、プリアンブル通信の後に、ホスト装置HCがIDを発行した後、該IDを認識したスレーブ装置がアクノリッジ信号ACKをホスト装置HCに返信することで、ホスト装置HCは、該スレーブ装置が1ワイヤバス上に接続されていることを認識することができる。システムとして、該スレーブ装置が接続されている場合は、該スレーブ装置を使用してシステム上の作業をさせることができる。アクノリッジ信号ACKが返ってこなければ、ホスト装置HCは、所望のスレーブ装置が接続されていないことを判断することができるため、該スレーブ装置がない状態でシステムを動作させるようにする。スレーブ装置がオプション的な使い方をされる場合に、このような方式は非常に有効になる。

【0044】

一方、1ワイヤバスでクロック信号とデータ信号を送信することから、スレーブ装置が誤動作した場合に、リセットをかける必要がある。しかし、データを使用してリセットをかけようとしても、スレーブ装置が誤動作しているとデータ通信自体ができなくなる場合がある。このような問題を回避するために、スレーブ装置は、ある一定期間以上、同じ信号が連續して入力されると、内部ステートを強制的に初期値に戻すようとする、すなわちリセットをかけるようとする。このようにすることで、例えば、システム初期状態で認識できていたスレーブ装置が、動作途中でアクノリッジ信号ACKを返さなくなり、スレーブ装置で何らかの誤動作が発生していると思われる場合、ホスト装置HCは、例えばハイレベルの信号を連続して128回送信することで、1ワイヤバス上のすべてのスレーブ装置を、プリアンブル受信準備確定状態に初期化することができる。このようにすることで、1ワイヤバスシステムの安定した動作が可能になる。

【0045】

具体的に、1ワイヤ通信を行ったときに、どのようなアプリケーションが実行されるかを説明する。

図3は、スレーブ装置側が電池バックを構成している場合を例にしたシリアル通信装置の例を示したブロック図であり、n=3の場合を例にして示している。

図3において、スレーブ装置SC3が認証ID機能を持っているとする。スレーブ装置SC1はバッテリBATに対する電池残量検出装置であり、スレーブ装置SC2はバッテリBATの温度を検出する温度センサである。ホスト装置HCが、まず、スレーブ装置SC3の認証ID機能を有するデバイスと通信を行うとする。この場合、プリアンブルの後のスレーブ装置SC3に3のIDを入力する。スレーブ装置SC3は、プリアンブルの後の該IDが自分をさしていることを認識すると、1ワイヤである伝送路4上にアクノリッジ信号ACKを返す。スレーブ装置SC1とスレーブ装置SC2はプリアンブルの後のIDが自分をさしていないためアクノリッジ信号ACKを返さない。

【0046】

ホスト装置HCはスレーブ装置SC3からアクノリッジ信号ACKが返ってきたことを確認すると、スレーブ装置SC3に認証IDデバイスがあることを認識でき、該認証IDデバイスとの通信を開始する。ホスト装置HCは、マスター側送受信回路2、伝送路4及

ヘレーノ回路又は門制御回路を介してヘレーノ回路のシリアル通信トランシーバーに対し、特定のコードを送信する。スレーブ装置SC3の認証IDデバイスは、ホスト装置HCから送られてきたコードを受信すると、該コードを暗号化してホスト装置HCに送り返す。マスター側送受信回路2は、スレーブ装置SC3から受信した暗号をホスト装置HCに送る。ホスト装置HCは、該暗号を解読することで、電池バックにある認証IDデバイスがあらかじめ決められたデバイスであることを認証することができる。スレーブ装置SC1から電池残量を知るときや、スレーブ装置SC2から温度情報を調べるときも同様のプロトコルを使用することで通信できる。

【0047】

一方、任意のスレーブ装置SCkに対する認証は、1ワイヤバスである伝送路4を使用して行う。マスター側送受信回路2は、ホスト装置HCからクロック信号TCLKが供給されるとクロック動作開始を検出して自動的に認証動作を開始する。ホスト装置HCからシリアル通信装置1を介して特定の信号をスレーブ装置SCkに送信すると、スレーブ装置SCkは該信号を基にして暗号キーを作成する。スレーブ装置SCkは作成した暗号キーをシリアル通信装置1を介してホスト装置HCに返信する。

【0048】

図4で示すように、ホスト装置HCは、スレーブ装置SCkから送られてきた信号を解読し、認証が一致すれば内部のフラグFをハイレベルにセットし、クロック信号TCLKの供給を停止しマスター側送受信回路2をリセットして、認証を行なうシーケンスが終了する。次の認証確認を行ないたい場合は、ホスト装置HCはクロック信号TCLKを供給すれば、自動的に認証動作が再開される。

一方、ホスト装置HCは、スレーブ装置SCkから送られてきた信号を解読し、認証が一致しなければ内部のフラグFをハイレベルにセットせず、所定の時間が経過すると、認証失敗としてクロック信号TCLKの供給を停止する。この場合においても、ホスト装置HCは、マスター側送受信回路2をリセットし、次に認識動作の開始を認識すると、再度スレーブ装置との認証動作を行う。

【0049】

次に、図5は、マスター側送受信回路2の回路例を示した図である。

図5におけるマスター側送信回路部11は、ホスト装置HCから出力データ信号DH0とクロック信号TCLKが入力されており、出力データ信号DH0に応じたシリアルデータ信号DATAを生成して伝送路4に出力する。クロック信号TCLKは、例えば出力データ信号DH0の出力タイミングの2倍の周波数であり、出力データ信号DH0に同期している。

【0050】

マスター側送信回路部11は、クロック信号TCLKを所定の時間T2だけ遅延させて出力するT2遅延回路21と、該T2遅延回路21の出力信号S1を更に所定の時間T1だけ遅延させて出力するT1遅延回路22と、前記T2遅延回路21の出力信号S1及び該T1遅延回路22の出力信号S2から重畠パルス信号S3を生成して出力する重畠パルス生成回路23と、出力データ信号DH0、該重畠パルス生成回路23からの出力信号S3及びクロック信号TCLKから出力データ信号DH0に応じたシリアルデータ信号DATAを生成して伝送路4に出力する出力信号生成回路24で構成されている。なお、マスター側送信回路部11は第1の送信回路部を、T1遅延回路22は第1のT1遅延回路部を、重畠パルス生成回路23は第1重畠パルス生成回路部を、出力信号生成回路25は第1の出力信号生成回路部をそれぞれなす。

【0051】

T2遅延回路21は、バッファ30で構成されている。バッファ30の入力端にはクロック信号TCLKが入力され、バッファ30は、入力されたクロック信号TCLKを時間T2だけ遅延させて生成した信号S1をT1遅延回路22及び重畠パルス生成回路23にそれぞれ出力する。遅延時間T2は、バッファ30のしきい値電圧で決定される。

T1遅延回路22は、バッファ31及びインバータ32で構成されている。T2遅延回

重複パルス生成回路23は、ハノノノリオラスリーパーのロジック回路で時間T1より遅延されると共に信号レベルが反転されて重複パルス生成回路23に出力される。

【0052】

重複パルス生成回路23は、AND回路33で構成されている。AND回路33の一方の入力端にはT2遅延回路21からの出力信号S1が入力され、AND回路33の他方の入力端にはT1遅延回路22の出力信号S2が入力されている。AND回路33の出力端からは、クロック信号TCLKの立ち上がりエッジから時間T2経過した位置に、パルス幅T1のローレベルのパルスを発生させるための重複パルス信号S3が出力される。

【0053】

出力信号生成回路24は、3入力のAND回路34、ExNOR（エクスクルーシブノア）回路35、OR回路36、PMOSトランジスタ37、NMOSトランジスタ38、AND回路39、バッファ40、41及びインバータ42で構成されている。AND回路34の各入力端には、ホスト装置HCからの出力データ信号DH0、AND回路33からの出力信号S3及びマスター側受信回路部12からの信号S4がそれぞれ対応して入力されている。ExNOR回路35において、一方の入力端にはクロック信号TCLKが、他方の入力端にはAND回路34の出力信号S5がそれぞれ入力され、出力信号S6はPMOSトランジスタ37のゲートに入力される。一方、AND回路39の一方の入力端には、クロック信号TCLKの信号レベルをインバータ42で反転させた信号が入力され、AND回路39の他方の入力端には、クロック信号TCLKをバッファ40及び41の直列回路で遅延させた信号が入力されている。

【0054】

AND回路39の出力信号S8は、OR回路36の一方の入力端に入力され、OR回路36の他方の入力端には、AND回路34の出力信号S5が入力されている。OR回路36の出力信号S7はNMOSトランジスタ38のゲートに入力されている。電源電圧Vddと接地電圧との間には、PMOSトランジスタ37及びNMOSトランジスタ38が直列に接続され、PMOSトランジスタ37とNMOSトランジスタ38との接続部は、伝送路4に接続されている。

【0055】

次に、図5におけるマスター側受信回路部12は、伝送路4から入力されたシリアルデータ信号DATAからデータを抽出して入力データ信号DH_iとしてホスト装置HCに出力する。

図5におけるマスター側受信回路部12は、シリアルデータ信号DATAを增幅して出力するバッファ41と、バッファ41の出力信号S11を所定の時間T4遅延させた後、信号レベルを反転させて出力するT4遅延回路42と、T4遅延回路42の出力信号S4を所定の時間遅延させて出力する入力信号遅延回路43と、バッファ41の出力信号S11からデータ信号を抽出して入力データ信号DH_iとしてホスト装置HCに出力するデータ抽出回路44と、データ抽出回路44に対して初期化を行う初期化回路45とで構成されている。なお、マスター側受信回路部は第1の受信回路部を、T4遅延回路42は第1のT4遅延回路部を、入力信号遅延回路43は第1の入力信号遅延回路部を、データ抽出回路44及び初期化回路45は第1のデータ抽出回路部をそれぞれなす。

【0056】

T4遅延回路42は、抵抗51、コンデンサ52及びインバータ53で構成されている。抵抗51の一端と接地電圧との間にはコンデンサ52が接続されており、抵抗51の他端にはバッファ41の出力信号S11が入力されている。また、抵抗51とコンデンサ52との接続部は、インバータ53の入力端に接続されている。抵抗51とコンデンサ52との接続部の信号をS12とする。

入力信号遅延回路43は、直列に接続されたバッファ54、55で構成され、バッファ54の入力端にはT4遅延回路42の出力信号S4が入力され、バッファ55の出力端から遅延された信号S13が出力される。

【0057】

ノード側山田回路55は、インバータ56とNOR回路55とノンリセットノート57で構成されている。インバータ56は、信号S11の信号レベルを反転させてDフリップフロップ57のクロック信号入力端CKに入力されている。Dフリップフロップ57において、データ入力端Dには反転出力端QBが接続され、該接続部はDフリップフロップ58のデータ入力端Dに接続されている。Dフリップフロップ58において、クロック信号入力端CKには入力信号遅延回路43の出力信号S13が入力され、出力端Qからホスト装置HCへ入力データ信号DH_iを出力する。また、Dフリップフロップ57のリセット信号入力端Rには、初期化回路45からの出力信号S14が入力され、Dフリップフロップ58のリセット信号入力端Rには、ホスト装置HCからのパワーオンリセット信号RES1が入力されている。

【0058】

初期化回路45は、インバータ59、OR回路60及びAND回路61で構成されている。OR回路60の一方の入力端には、出力信号S13の信号レベルをインバータ59で反転させた信号が入力され、OR回路60の他方の入力端には信号S4が入力されている。AND回路61において、一方の入力端にはOR回路60の出力信号が入力され、他方の入力端にはホスト装置HCからのパワーオンリセット信号RES1が入力され、出力端はDフリップフロップ57のリセット信号入力端Rに接続されている。

【0059】

次に、図6は、スレーブ側送受信回路SL_kの回路例を示した図である。なお、他のスレーブ側送受信回路の場合もスレーブ側送受信回路SL_kと同様であるのでその説明を省略する。

図6において、スレーブ側送信回路部13は、スレーブ装置SCKから出力データ信号DS₀が入力されており、出力データ信号DS₀に応じたシリアルデータ信号DATAを生成して伝送路4に出力する。

【0060】

スレーブ側送信回路部13は、シリアルデータ信号DATAを所定の時間T2だけ遅延させて出力するT2遅延回路71と、該T2遅延回路71の出力信号S21を更に所定の時間T1だけ遅延させて出力するT1遅延回路72と、T2遅延回路71の出力信号S21と該T1遅延回路72の出力信号S22から重畠バルス信号S23を生成して出力する重畠バルス生成回路73と、出力データ信号DS₀及び該重畠バルス生成回路73の出力信号S23から出力データ信号DS₀に応じたシリアルデータ信号DATAを生成して伝送路4に出力する出力信号生成回路74で構成されている。なお、T2遅延回路71は第2のT2遅延回路部を、T1遅延回路72は第2のT2遅延回路部を、重畠バルス生成回路73は第2重畠バルス生成回路部を、出力信号生成回路74は第2の出力信号生成回路部をそれぞれなす。

【0061】

T2遅延回路71は、直列に接続されたバッファ81、82で構成されている。バッファ82の入力端にはシリアルデータ信号DATAが入力され、バッファ81の出力端からは、入力されたシリアルデータ信号DATAを時間T2だけ遅延させて生成した信号S21が出力される。

T1遅延回路72は、バッファ83及びインバータ84で構成されている。T2遅延回路71の出力信号S21は、バッファ83及びインバータ84の直列回路で時間T1だけ遅延されると共に信号レベルが反転されて重畠バルス生成回路73に出力される。

【0062】

重畠バルス生成回路73は、NOR回路85で構成されている。NOR回路85の一方の入力端にはT2遅延回路71からの出力信号S21が入力され、NOR回路85の他方の入力端にはT1遅延回路72の出力信号S22が入力されている。NOR回路85の出力端からは、シリアルデータ信号DATAの立ち下がりエッジから時間T2経過した位置に、バルス幅T1のハイレベルのバルスを発生させるための重畠バルス信号S23が出力される。

出力信号生成回路74は、3入力のAND回路86、インバータ87、95、バッファ88～91、94、PMOSトランジスタ92、NMOSトランジスタ93及びDフリップフロップ96で構成されている。AND回路86の各入力端には、スレーブ装置SCKからの出力データ信号DS0に相当する信号S25、NOR回路85からの出力信号S23及びスレーブ側受信回路部14からの信号S32がそれぞれ対応して入力されている。AND回路86の出力信号S24は、インバータ87で信号レベルが反転され信号S27としてPMOSトランジスタ92のゲートに入力されている。また、AND回路86の出力信号S24は、バッファ88～91の直列回路で遅延され信号S28としてNMOSトランジスタ93のゲートに入力されている。電源電圧Vddと接地電圧との間には、PMOSトランジスタ92及びNMOSトランジスタ93が直列に接続され、PMOSトランジスタ92とNMOSトランジスタ93との接続部は、伝送路4に接続されている。

【0064】

また、信号S28はバッファ94及びインバータ95の直列回路を介してDフリップフロップ96のリセット信号入力端Rに入力されている。Dフリップフロップ96において、データ入力端Dにはスレーブ装置SCKからの出力データ信号DS0が入力され、クロック信号入力端CKにはT2遅延回路71の出力信号S21が入力されている。Dフリップフロップ96は、出力端QからAND回路86の対応する入力端に出力信号S25を出力する。

【0065】

次に、図6におけるスレーブ側受信回路部14は、伝送路4から入力されたシリアルデータ信号DATAからデータを抽出して入力データ信号DSiとしてスレーブ装置SCKに出力する。

図6におけるスレーブ側受信回路部14は、シリアルデータ信号DATAを所定の時間T4遅延させて出力するT4遅延回路101と、T4遅延回路101の出力信号S32を所定の時間遅延させて出力する入力信号遅延回路102と、T2遅延回路71の出力信号S21からデータ信号を抽出して入力データ信号DSiとしてスレーブ装置SCKに出力するデータ抽出回路103と、データ抽出回路103に対して初期化を行う初期化回路104とで構成されている。なお、T4遅延回路101は第2のT4遅延回路部を、入力信号遅延回路102は第2の入力信号遅延回路部を、データ抽出回路103及び初期化回路104は第2のデータ抽出回路部をそれぞれなす。

【0066】

T4遅延回路101は、抵抗111、コンデンサ112及びバッファ113で構成されている。抵抗111の一端と接地電圧との間にはコンデンサ112が接続されており、抵抗111の他端にはシリアルデータ信号DATAが入力されている。また、抵抗111とコンデンサ112との接続部は、バッファ113の入力端に接続されている。抵抗111とコンデンサ112との接続部の信号をS31とする。

入力信号遅延回路102は、直列に接続されたバッファ114、115で構成され、バッファ114の入力端にはT4遅延回路101の出力信号S32が入力され、バッファ115の出力端から遅延された信号S33が出力される。

【0067】

データ抽出回路103は、Dフリップフロップ116、117で構成されている。Dフリップフロップ116において、クロック信号入力端CKにはT2遅延回路71の出力信号S21が入力され、データ入力端Dには反転出力端QBが接続され、該接続部はDフリップフロップ117のデータ入力端Dに接続されている。Dフリップフロップ117において、クロック信号入力端CKには入力信号遅延回路102の出力信号S33が入力され、出力端Qからスレーブ装置SCKへ入力データ信号DSiを出力する。また、Dフリップフロップ116のリセット信号入力端Rには、初期化回路104からの出力信号S34が入力され、Dフリップフロップ117のリセット信号入力端Rには、パワーオンリセット回路（図示せず）からのパワーオンリセット信号RES2が入力されている。

初期化回路104は、インバータ118、OR回路119及びAND回路120で構成されている。OR回路119の一方の入力端には、出力信号S33の信号レベルをインバータ118で反転させた信号が入力され、OR回路119の他方の入力端にはT4遅延回路101の出力信号S32が入力されている。AND回路120において、一方の入力端にはOR回路119の出力信号が入力され、他方の入力端にはパワーオンリセット信号RESETが入力され、出力端はDフリップフロップ116のリセット信号入力端Rに接続されている。

【0069】

このような構成において、シリアル通信装置1によって行われる通信方法についてもう少し詳細に説明する。

シリアル通信装置1では、クロック信号TCLK中にパルス信号を重畠させ、該パルス信号の有無によって信号データ値を表すようにしている。

図7は、シリアル通信装置1による通信波形例を示した図である。

1ワイヤで通信する信号としては、マスター側送受信回路2からのクロック信号TCLKの供給、マスター側送受信回路2からスレーブ側送受信回路SLkへのデータ転送、スレーブ側送受信回路SLkからマスター側送受信回路2へのデータ転送がある。

【0070】

シリアル通信装置1は、ホスト装置HCから供給されるクロック信号TCLKにマスター側送受信回路2又はスレーブ側送受信回路SLkがデータ信号を付加して通信を行う。マスター側送受信回路2からスレーブ側送受信回路SLkにデータ転送を行う場合は、クロック信号TCLKのハイレベル側を使用し、スレーブ側送受信回路SLkからマスター側送受信回路2にデータ転送を行う場合は、クロック信号TCLKのローレベル側を使用する。

【0071】

マスター側送受信回路2から「1」のデータを送信する場合は、クロック信号TCLKのハイレベルである期間中に、クロック信号TCLKの立ち上がりから時間T2後にパルス幅T1のローレベルのパルスを挿入する。また、マスター側送受信回路2から「0」のデータを送信する場合は、クロック信号TCLKのハイレベルである期間中に前記ローレベルのパルスを挿入しないようにする。

同様に、スレーブ側送受信回路SLkからマスター側送受信回路2に「1」のデータを送信する場合は、クロック信号TCLKのローレベルである期間中に、クロック信号TCLKの立ち下がりから時間T2後にパルス幅T1のハイレベルのパルスを挿入する。また、スレーブ側送受信回路SLkから「0」のデータを送信する場合は、クロック信号TCLKのローレベルである期間中に前記ハイレベルのパルスを挿入しないようにする。時間T1～T4は、 $T_1 < T_2 < T_4 < T_3$ で、かつ $(T_1 + T_2) \leq T_4 < T_3$ の関係が成り立つように設定される。このようにして、シリアル通信装置1は、伝送路4を介してデータ転送を行う。

【0072】

マスター側送受信回路2とスレーブ側送受信回路SLkは、1本の信号線である伝送路4に対してそれぞれドライブを行うため、該ドライブを同時に行うと過大な電流が流れたり、デバイスに不具合が発生する可能性がある。このような問題を回避するために、マスター側送受信回路2が信号をドライブするときは、スレーブ側送受信回路SLkの出力端を常にハイインピーダンス状態にして信号をドライブしない状態にし、スレーブ側送受信回路SLkが信号をドライブするときは、マスター側送受信回路2の出力端を常にハイインピーダンス状態にして信号をドライブしない状態にする。

【0073】

ここで、伝送路4は、プルダウン抵抗5によってプルダウンされている。マスター側送受信回路2は、常にクロック信号TCLKがハイレベルのときにドライブするようにしている。ここで、マスター側送受信回路2から「1」のデータを転送する場合、すなわちク

マスター側送受信回路2が「1」のデータを送信する場合、出力データ信号DHOがハイレベルにアサートされる。この状態でクロック信号TCLKがローレベルである場合、信号S5はローレベルになっており、このような状態でクロック信号TCLKが入力され、クロック信号TCLKの立ち上がりでExNOR回路35の入力端が{1, 0}になるため、信号S6がローレベルになりPMOSトランジスタ37がオンし、シリアルデータ信号DATAがハイレベルになる。この後、クロック信号TCLKがバッファ30によって時間T2遅延された信号S1のハイレベルが伝播し、該信号S1と、信号S1をバッファ31とインバータ32で時間T1遅延させた信号S2とからAND回路33によってパルス幅T1の重畳パルスが生成される。AND回路34に該重畳パルスが伝播し、該パルス分だけPMOSトランジスタ37がオフしてNMOSトランジスタ38がオンする状態が発生する。これによって、シリアルデータ信号DATAにおいて、クロック信号TCLKのハイレベル期間中にローレベルの重畳パルスが挿入される。

【0078】

また、スレーブ側送受信回路SLkから「1」のデータを転送する場合、伝送路4はブルダウン抵抗5によってブルダウンされており、マスター側送受信回路2は伝送路5をドライブしていない。このことから、スレーブ側送受信回路SLkがクロック信号TCLKのローレベルの期間にハイレベルの重畳パルスを挿入しても、マスター側送受信回路2とスレーブ側送受信回路SLkが同時に伝送路4をドライブすることはない。このようにすることで、マスター側送受信回路2とスレーブ側送受信回路SLkで伝送路4をドライブしても、マスター側送受信回路2とスレーブ側送受信回路SLkが同時に伝送路4をドライブしないようにすることができます。

【0079】

また、マスター側送受信回路2は、クロック信号TCLKがハイレベルである間にローレベルの重畳パルスを挿入する場合は、伝送路4を常にドライブしていることから、伝送路4の状態を急峻に変化させることができる。しかし、マスター側送受信回路2の出力端がハイインピーダンス状態になり、ブルダウン抵抗5のみで伝送路4をローレベルにしようとすると、ブルダウン抵抗5の抵抗値を十分に小さくしないと立ち下がりの波形が非常になだらかになってしまう。しかし、ブルダウン抵抗5の抵抗値を小さくしてしまうと、マスター側送受信回路2が伝送路4をハイレベルにしている間に、ブルダウン抵抗5を介して貫通電流が流れ、消費電力が大きくなるという問題が発生する。この問題を回避するために、伝送路4がローレベルになる場合、マスター側送受信回路2は、NMOSトランジスタ38を短時間だけオンさせて伝送路4をローレベルにすることで急峻な波形を作成することができる。

【0080】

同様に、スレーブ側送受信回路SLkによってクロック信号TCLKがローレベルの間にハイレベルのパルス信号を挿入する場合においても、伝送路4を急峻にハイレベルにすることは簡単にできるが、PMOSトランジスタ92をオフさせるだけでは、伝送路4の信号レベルの立ち下がりがブルダウン抵抗5による電流リークだけになるのでなだらかになってしまう。このような問題を回避するために、スレーブ側送受信回路SLkは、PMOSトランジスタ92をオフさせるとNMOSトランジスタ93を短期間オンさせる。このようにすることで、急峻なパルス波形を生成することができ、高速な動作が可能になる。また、ブルダウン抵抗5の抵抗値も大きくすることができ、伝送路4上における余分な消費電流を低減させることができる。

【0081】

図5において、マスター側送受信回路2が「1」のデータを送信する場合、出力データ信号DHOがハイレベルにアサートされる。この状態でクロック信号TCLKがローレベルである場合、信号S5はローレベルになっており、このような状態でクロック信号TCLKが入力され、クロック信号TCLKの立ち上がりでExNOR回路35の入力端が{1, 0}になるため、信号S6がローレベルになりPMOSトランジスタ37がオンし、シリアルデータ信号DATAがハイレベルになる。この後、クロック信号TCLKがバッファ30によって時間T2遅延された信号S1のハイレベルが伝播し、該信号S1と、信号S1をバッファ31とインバータ32で時間T1遅延させた信号S2とからAND回路33によってパルス幅T1の重畳パルスが生成される。AND回路34に該重畳パルスが伝播し、該パルス分だけPMOSトランジスタ37がオフしてNMOSトランジスタ38がオンする状態が発生する。これによって、シリアルデータ信号DATAにおいて、クロック信号TCLKのハイレベル期間中にローレベルの重畳パルスが挿入される。

ハに、マクロスレーブ側送受信回路2からTCLK信号を送信する場合は、出力データ信号S5はローレベルで固定され、シリアルデータ信号DATAにおいて、クロック信号TCLKがハイレベルの期間中にローレベルのパルスが発生することはない。クロック信号TCLKが立ち下がると、PMOSトランジスタ37はオフするため、シリアルデータ信号DATAは、ブルダウン抵抗5によってゆっくりと立ち下がる。スレーブ側送受信回路SLkは、信号送信時にクロック信号TCLKの立ち下がりから一定時間以内にパルスを発生させなければならない。しかし、クロック信号TCLKの立ち下がり波形がなまっていると、スレーブ側送受信回路SLkからのパルス発生ができない場合が発生するため、クロック信号TCLKの立ち下がりが急峻になるようにする必要がある。

【0079】

AND回路39、バッファ40、41及びインバータ42は、クロック信号TCLKの立ち下がり時にパルスを発生させる回路を形成しており、クロック信号TCLKが立ち下がるとハイレベルのパルス信号をOR回路36に出力する。OR回路36は、AND回路39からハイレベルのパルス信号が入力されると、該パルス信号がハイレベルである期間だけNMOSトランジスタ38をオンにする。これによって、伝送路4は、急峻にローレベルに立ち下げるようになり、マスター側送受信回路2から出力されたシリアルデータ信号DATAにおいて、立ち上がり及び立ち下がりのすべてが急峻な波形になる。

【0080】

次に、スレーブ側送受信回路SLkからデータ送信される場合について説明する。

図6のスレーブ側送受信回路SLkにおいて、マスター側送受信回路2から伝送路4を介してシリアルデータ信号DATAが供給される。シリアルデータ信号DATAは、T2遅延回路71のバッファ81及び82で遅延時間T2だけ遅延されて信号S21として出力される。信号S21は、バッファ83及びインバータ84で更に遅延反転された後、NOR回路85によって、クロック信号TCLKの立ち下がりから時間T2後に時間T1のパルス幅をもった重畳パルス信号が出力信号S23としてAND回路86の入力端に供給される。スレーブ装置SCKからの出力データ信号DS0は、Dフリップフロップ96のクロック信号入力端CKに入力された信号S21の立ち上がり時に一端ラッチされてAND回路86の対応する入力端に供給される。T4遅延回路101の抵抗111、容量112及びバッファ113は、伝送路4から供給されたクロック信号TCLKを遅延時間T4遅延させて信号S32を生成する。該信号S32もAND回路86の対応する入力端に出力される。

【0081】

AND回路86は、NOR回路85からのクロック信号TCLKの立ち下がりから遅延時間T2経過後にパルス幅T1のパルス信号が入力され、かつ出力データ信号DS0がハイレベルであり、かつクロック信号TCLKの立ち下がりから時間T4以下のときにNOR回路85から入力されたパルス信号S23を信号S24として出力する。該パルス信号S24が発生すると、PMOSトランジスタ92がオンし、PMOSトランジスタ92は、伝送路4がハイレベルになるようにドライブする。信号S24がT1時間経過して立ち下がると、PMOSトランジスタ92はオフし、伝送路4はハイインピーダンス状態になり、ブルダウン抵抗5によってゆっくりとローレベルに下がっていく。

【0082】

しかし、これでは高速動作ができないため、AND回路86からのパルス信号S24は、バッファ88~91で遅延されてNMOSトランジスタ93のゲートに供給される。バッファ88~91で遅延された信号S28は、PMOSトランジスタ92がオフ状態になった後、NMOSトランジスタ93をオンさせることで、伝送路4を急峻にローレベルに立ち下げるために使用される。信号S28はパルス信号であることから、伝送路4がローレベルになった後、NMOSトランジスタ93はオフしてハイインピーダンス状態になるが、伝送路4はブルダウン抵抗5によりローレベルに固定される。

【0083】

ハに、マスター側送信回路部11から送信された信号をヘリコノ側送信回路部10に供給する動作について説明する。

マスター側送信回路部11から伝送路4にシリアルデータ信号DATAが出力された場合、スレーブ側受信回路部14は、伝送路4から入力されたシリアルデータ信号DATAがT2遅延回路71で遅延されて信号S21が生成され、Dフリップフロップ96のクロック信号入力端CKに入力される。マスター側送信回路部11から伝送路4に「1」のデータを示すシリアルデータ信号DATAが出力されている場合、シリアルデータ信号DATAの立ち上がりの後に短いローレベルのパルスが挿入されていることから、Dフリップフロップ96のクロック信号入力端CKにはシリアルデータ信号DATAの立ち上がりと、パルス幅T1の重畠パルスの立ち上がりの2回の立ち上がりエッジが供給される。

【0084】

Dフリップフロップ96は、クロック信号入力端CKに入力された信号の立ち上がりで出力信号が反転する構成になっており、クロック信号入力端CKに入力された信号の立ち上がりエッジを2回受けると出力信号は最初の信号レベルに戻る。伝送路4から入力されたシリアルデータ信号DATAは、T4遅延回路101で遅延時間T4遅延され、更に入力信号遅延回路102で遅延されてDフリップフロップ117のクロック信号入力端CKに入力されている。Dフリップフロップ117は、データ入力端Dに入力される信号はDフリップフロップ116の反転出力信号であり、Dフリップフロップ116の反転出力信号がローレベルである、すなわちDフリップフロップ116のクロック信号入力端CKに入力されている信号S21の立ち上がりを2回検出すると、受信結果としてハイレベルのデータ入力信号DSiを出力する。

【0085】

マスター側送信回路部11からの信号として伝送路4に重畠パルスが供給されていない場合、すなわちマスター側送信回路部11から伝送路4に「0」のデータを示すシリアルデータ信号DATAが出力されると、Dフリップフロップ116のクロック信号入力端CKには、信号レベルの立ち上がりが1回しか供給されないため、Dフリップフロップ116からの反転出力信号はローレベルになることから、Dフリップフロップ117からはローレベルの入力データ信号DSiが出力される。Dフリップフロップ116はトグルであることから、反転出力信号の信号レベルの初期状態がいったん反転してしまうと、それ以降の入力データ信号DSiがすべて反転する危険がある。このようなことを防ぐために、Dフリップフロップ116は、Dフリップフロップ117にデータを供給した後、初期化回路104によって常にリセット動作が行われ、初期状態を補償するようにしている。

【0086】

シリアルデータ信号DATAは、T4遅延回路101によって遅延時間T4だけ遅延されて信号S32となる。該信号S32は、更に入力信号遅延回路102によって遅延されて信号S33となり、該信号S33は、Dフリップフロップ117のクロック信号入力端CKに入力され、Dフリップフロップ116の出力信号の転送に使用される。更に、初期化回路104は、信号S33からリセットパルス信号S34を生成してDフリップフロップ116のリセット信号入力端Rに出力する。このため、Dフリップフロップ116は、Dフリップフロップ117にデータ転送した後、リセットが行われることになり、初期状態が保証される。

【0087】

このような状態を図8のタイミングチャートを用いて説明する。

Dフリップフロップ116の反転出力信号S35は、初期化回路104からのリセット信号S34によって、最初はハイレベルになっている。Dフリップフロップ116のクロック信号入力端CKに供給される信号S21は、シリアルデータ信号DATAがT2遅延回路71を通って作られる。このため、Dフリップフロップ116の反転出力信号S35は、シリアルデータ信号DATAの信号レベルの立ち上がりで反転する。シリアルデータ信号DATAに「1」のデータが付加されている場合、シリアルデータ信号DATAの立ち上がりから時間T2後に、パルス幅T1の重畠パルスが挿入されている。

このため、Dフリップフロップ116の反転出力信号S35は、前記重畠バルスの立ち上がりで再度反転し、Dフリップフロップ116の反転出力信号S35はハイレベルに仄る。この後、シリアルデータ信号DATAの立ち上がりに遅延をつけた信号S33の立ち上がりで、Dフリップフロップ117がDフリップフロップ116の反転出力信号S35をラッチすることで、マスター側送信回路部11からの「1」のデータが伝播したことになる。

[0089]

次に、マスター側送信回路部11から伝播するデータが「0」の場合について、図9のタイミングチャートを使用して説明する。

マスター側送信回路部11からのデータが「0」である場合、シリアルデータ信号DATAのハイレベルの期間にローレベルの重量パルスが挿入されていない。このため、Dフリップフロップ116の反転出力信号S35は、シリアルデータ信号DATAの立ち上がりで反転してローレベルになる。この状態でシリアルデータ信号DATAを遅延させた信号S33が立ち上がることによって、Dフリップフロップ117が信号S35のローレベルをラッチすることで、マスター側送信回路部11からの「0」のデータが伝播する。

[0 0 9 0]

この状態にしておくと、Dフリップフロップ116の反転出力信号S35がローレベルの状態で次のシリアルデータ信号DATAの立ち上がりを受けることになり、マスター側送信回路部11からのデータが正確に伝わらなくなる。このため、Dフリップフロップ117をラッチさせた後、リセットパルスS34を作成し、Dフリップフロップ116は、該リセットパルスS34によって反転出力信号S35を初期状態のハイレベルにする。このようにすることにより、各サイクルごとのマスター側送信回路部11からのシリアルデータ信号DATAを正確に受信することができる。

[0 0 9 . 1]

次に、スレーブ側送受信回路SL_kからマスター側送受信回路2にデータを送信する場合について説明する。

スレーブ側送受信回路SL_kからデータ送信を行う場合、スレーブ側送受信回路SL_kは、マスター側送受信回路2から入力されたシリアルデータ信号DATAをクロック信号として使用する。スレーブ側送受信回路SL_kからデータを送信する場合、シリアルデータ信号DATAにおけるクロック信号TCLKの立ち下がりに相当する立ち下がりを検出してから、ハイレベルのパルスを発生させる。スレーブ側送受信回路SL_kからデータを送信する場合、「1」のデータを送信するときはクロック信号TCLKのローレベルである期間にハイレベルのパルスを挿入する。図10は、このような状態を示したタイミングチャートである。

[0092]

また、スレーブ側送受信回路SLkからマスター側送受信回路2へ「0」のデータを送信する場合は、クロック信号TCLKのローレベルに相当するシリアルデータ信号DATAのローレベルである期間にハイレベルのパルスを挿入しないようにする。図11は、このような状態を示したタイミングチャートである。スレーブ側送受信回路SLkからデータを送信する場合、伝送路4がローレベルのときにハイレベルの重畠パルスを挿入することになる。しかし、この状態は、マスター側送受信回路2からは伝送路4をドライブしていない状態、すなわちPMOSトランジスタ37及びNMOSトランジスタ38が共にオフしているハイインピーダンス状態であることから、データの衝突が発生することはない。

[0 0 9 3]

図10において、シリアルデータ信号DATAの立ち上がりで出力データ信号DS₀をDフリップフロップ96にラッチする。これは、後述するが、スレーブ側送受信回路SL_kでシリアルデータ信号DATAに重畠バルスを挿入した場合、該重畠バルスの立ち下がりをトリガとして、スレーブ側送受信回路SL_kが誤って再度バルス送信を開始すること

を用いていける。三ノリードノ信号クロックパルスの時、ノーノルードノ信号クロックTAの立ち上がりでハイレベルの信号がDフリップフロップ96にラッチされ、Dフリップフロップ96の出力信号S25はハイレベルになる。シリアルデータ信号DATAが立ち下がって時間T2後に、NOR回路85からパルス幅T1の重複パルスが出力される。AND回路86の各入力端には、スレーブ側の送信データ信号に相当する信号S25と、シリアルデータ信号DATAを遅延時間T1遅延させた信号S32と、NOR回路85から出力された重複パルス信号S23とか対応して入力されている。

【0094】

シリアルデータ信号DATAが立ち下がり時に、信号S25がハイレベルであると、AND回路86からパルス幅T1のパルスが出力され、PMOSトランジスタ92がオンして伝送路4にハイレベルのパルスを出力する。該パルスは時間T1後にローレベルに戻り、PMOSトランジスタ92はオフするが、伝送路4の電圧は、ブルタウン抵抗5によってゆっくりと低下する。しかし、これでは、転送速度を上げることができず、誤動作の原因にもなるため、スレーブ側送信回路部13では、PMOSトランジスタ92がオフした後、NMOSトランジスタ93を短期間オンさせることにより、伝送路4上の信号を急峻に立ち下げるようしている。NMOSトランジスタ93のゲートには、AND回路86の出力パルスをバッファ88～91で遅延させた信号が入力されている。

【0095】

ここで、伝送路4上の信号をローレベルに立ち下げるが、このままではスレーブ側送受信回路SLkは、シリアルデータ信号DATAのローレベルの期間に挿入したパルスの立ち下がりを検出してパルスを発生させ、このようなことが繰り返されて発振する。このような発振を防ぐために、NMOSトランジスタ93をオンさせて伝送路4上の信号を立ち下げるときに、NMOSトランジスタ93のゲートに入力される信号S28を用いて、Dフリップフロップ96をリセットして出力信号S25をローレベルにする。このようにすることによって、スレーブ側送受信回路SLkから連続したパルスが出力されることを防止できる。このことは、図10において、伝送路4上の信号の立ち下がりを検出して、信号S23にパルスが2回発生しているが、1回目のパルスは「1」のデータを送信するために発生させたものであるが、2回目のパルスのときは、Dフリップフロップ96がリセットされて信号S25がローレベルになっているため、AND回路86からパルスが出力されず、前記発振を防止することができる。

【0096】

次に、マスター側送受信回路2がスレーブ側送受信回路SLkからの信号を受信する場合について説明する。

マスター側送受信回路2では、受信した信号からデータを抽出する際、伝送路4上の信号を遅延時間T4遅延させて反転させた信号S4と、信号S4を入力信号遅延回路43で遅延させた信号S13とを使用している。伝送路4上の信号の立ち上がりでT4遅延回路42によって、信号S12が緩やかに立ち下がる。図10の遅延時間T4が経過したところで信号S12がインバータ53のしきい値を超えて、インバータ53の出力信号S4の信号レベルが反転する。マスター側送受信回路2はスレーブ側送受信回路SLkと同様に伝送路4上のシリアルデータ信号DATAをクロック信号としてDフリップフロップ57に供給しているが、マスター側受信回路部12ではインバータ56によって信号レベルを反転させた信号をDフリップフロップ57に供給している。

【0097】

Dフリップフロップ57は、反転出力端QBから出力された信号がデータ入力端Dに入力され、クロック信号入力端CKに入力された信号の立ち上がりで内部状態がトグルするようになっている。Dフリップフロップ57は、初期状態はリセット信号入力端Rに入力された信号S14によって反転出力信号S15がハイレベルになっている。この状態で、Dフリップフロップ57は、シリアルデータ信号DATAの立ち下がりを検出すると反転出力信号S15の信号レベルが反転する。この後、シリアルデータ信号DATAにスレーブ側送受信回路SLkからのハイレベルのパルス信号が挿入されている場合、Dフリップフ

レジスタ14は、反転出力信号S15のローレベルをモードノード反転させ、反転出力信号S15はハイレベルになる。シリアルデータ信号DATAをT4遅延回路42で遅延させて、更に入力信号遅延回路43で遅延させた信号S13により、Dフリップフロップ57の反転出力信号S15をDフリップフロップ58にラッピングさせる。

【0098】

このようにして、Dフリップフロップ58からホスト装置HCにスレーブ側送受信回路SLkからの「1」のデータが転送される。Dフリップフロップ57はトグルであることから、初期状態が安定しないと信号が正確に伝えることができない。このため、Dフリップフロップ57は、シリアルデータ信号DATAの立ち上がりを検出するたびにリセット回路45によってリセットが行われることにより、各サイクルごとの初期状態を安定させている。該リセットを行うためのパルス信号は、信号S13をインバータ59で反転させた信号と信号S1をOR回路60で論理和を取ることにより、シリアルデータ信号DATAの立ち上がり後しばらくしてリセットパルスS14が生成されるようしている。このようにして、シリアルデータ信号DATAの立ち上がりでDフリップフロップ57の状態を初期化して、シリアルデータ信号DATAの立ち下がり部分でスレーブ側送受信回路SLkからのデータを受信することにより、Dフリップフロップ57の状態を常に安定させることができる。

【0099】

スレーブ側送受信回路SLkから「0」のデータを受信した場合を示した図11において、スレーブ側送受信回路SLkは、「0」のデータを送信する場合、Dフリップフロップ96では出力データ信号DS0のローレベルをシリアルデータ信号DATAの立ち上がりでラッピングして、信号S25をローレベルにする。この後、シリアルデータ信号DATAの立ち下がりを検出することで、NOR回路85からパルス幅T1のパルスが出力されるが、信号S25がローレベルであることから、NOR回路85から出力されたパルスはAND回路86から出力されない。このため、出力信号生成回路74は、シリアルデータ信号DATAにパルスを挿入しない。

【0100】

この状態で、マスター側受信回路部12は、シリアルデータ信号DATAの立ち下がりで、Dフリップフロップ57がトグルして反転出力信号S15をローレベルにする。シリアルデータ信号DATAにはスレーブ側送受信回路SLkからのデータ「1」を示すパルスがないため、Dフリップフロップ58は、信号S13の立ち上がりでローレベルの反転出力信号S15をラッピングする。このようにして、スレーブ側送受信回路SLkから「0」のデータが転送されたことになる。この後、シリアルデータ信号DATAの立ち上がりで信号S14にリセットパルスが発生することでDフリップフロップ57はリセットされて初期状態に戻り、次のシリアルデータ信号DATAの立ち下がりでのスレーブ側送受信回路SLkからのデータの受信を正確に行うことができる。

【0101】

なお、前記説明では、伝送路4がブルダウン抵抗5でブルダウンされている場合を例にして説明したが、本発明は、図12で示すように、伝送路4をブルアップ抵抗7でブルアップした場合にも適用することができる。この場合、マスター側送受信回路2は、図13のようになり、スレーブ側送受信回路3は、図14のようになる。なお、図13では、図5と同じもの又は同様のものは同じ符号で示し、ここではその説明を省略すると共に図5との相違点のみ説明する。また、図14では、図6と同じもの又は同様のものは同じ符号で示し、ここではその説明を省略すると共に図6との相違点のみ説明する。

【0102】

図13における図5との相違点は、マスター側送信回路部11において、ExNOR回路35をNOR回路35aに、OR回路36をExOR回路36aにそれぞれ置き換え、マスター側受信回路部12のバッファ41をインバータ41aに置き換えたことにある。

このように、出力バッファであるPMOSトランジスタ37とNMOSトランジスタ38をドライブするゲートが変更され、PMOSトランジスタ37のゲートにはNOR回路

6 aの出力信号が入力されている。また、シリアルデータ信号DATAは、インバータ1 aで信号レベルが反転されてマスター側受信回路部1 2内に供給される。

[0 1 0 3]

このようにすることで、クロック信号TCLKがハイレベルのときシリアルデータ信号DATAはローレベルになり、この期間中に「1」のデータをスレーブ側送受信回路SL1～SLnに転送するときは、AND回路34の出力信号S5がPMOSトランジスタ37及びNMOSトランジスタ38の各ゲートにそれぞれ出力され、シリアルデータ信号DATAはローレベルである期間中にハイレベルのバスが重畠される。クロック信号TCLKがローレベルに立ち下がるとPMOSトランジスタ37及びNMOSトランジスタ38は共にオフしてマスター側送信回路部11の出力端がハイインピーダンス状態になる。

[0 1 0 4]

伝送路4はブルアップ抵抗7によってゆっくりハイレベルになっていくが、AND回路39の出力信号S8によって、PMOSトランジスタ37は短い期間オンした後再びオフする。このため、伝送路4がブルアップ抵抗7によってブルアップされたときに、シリアルデータ信号DATAは短時間にハイレベルになり、伝送路4は、ブルアップ抵抗7によってハイレベルに固定された状態で、マスター側送信回路部11の出力端がハイインピーダンス状態になって安定する。このような動作における各信号のタイミングを示したタイミングチャートを図15に示す。

[0 1 0 5]

一方、図14における図6との相違点は、インバータ97を追加したことと、インバータ87をバッファ87aに、バッファ91をインバータ91aに置き換えたことがある。

このように、PMOSトランジスタ92及びNMOSトランジスタ93の各ゲートに入力される信号が変更され、シリアルデータ信号DATAがローレベルからハイレベルに変化したときに、スレーブ側送受信回路SLkから「1」のデータをマスター側送受信回路2に送信する場合、AND回路86からバスが出力され、該バスによって最初にNMOSトランジスタ93が短時間オンする。

[0 1 0 6]

このことにより、シリアルデータ信号DATAがローレベルに立ち下がった後、NMSトランジスタ93がオフし、この後、バッファ88～90及びインバータ91aで信号S24が遅延されると共に信号レベルが反転されてPMOSトランジスタ92のゲートに入力され、PMOSトランジスタ92が短時間オンする。このため、伝送路4がプルアップ抵抗7によってプルアップされたときに、シリアルデータ信号DATAは短時間にハイレベルになり、伝送路4は、プルアップ抵抗7によってハイレベルに固定された状態で、スレーブ側送信回路部13の出力端がハイインピーダンス状態になって安定する。このような動作における各信号のタイミングを示したタイミングチャートを図16に示す。

このように、伝送路4がブルアップされた状態でも問題なくマスター側送受信回路2とスレーブ側送受信回路SL1～SLnとの間で通信を行うことができる。

【図面の簡単な説明】

[0107]

【図1】本発明の第1の実施の形態におけるシリアル通信装置の例を示した概略のブロック図である。

【図2】図1で示したシリアル通信装置1の通信プロトコルの例を示した図である。

図3-1 図1のシリアル通信装置の使用例を示したプロック図である。

【図4】認証時のフレグEの例を示した図である。

【図5】図1のマスター側送受信回路2の回路例を示した図である。

【図6】スレーブ側送受信回路S1-kの回路例を示した図である。

【図7】シリアル通信装置1による通信波形例を示した図である。

図5及び図6における各波形例を示したタイミンクチャートである。

〔図9〕図5及び図6における各波形例を示したタイミングチャートである。

【図 1 0】 図 5 及び図 6 における各波形例を示したノットバイノットチャートである。

【図 1 1】 図 5 及び図 6 における各波形例を示したタイミングチャートである。

【図 1 2】 本発明の第 1 の実施の形態におけるシリアル通信装置の他の例を示した概略のブロック図である。

【図 1 3】 図 1 2 のマスター側送受信回路 2 の回路例を示した図である。

【図 1 4】 スレーブ側送受信回路 S L k の他の回路例を示した図である。

【図 1 5】 図 1 3 及び図 1 4 における各波形例を示したタイミングチャートである。

【図 1 6】 図 1 3 及び図 1 4 における各波形例を示したタイミングチャートである。

【図 1 7】 デジタル信号をシリアル通信で伝送する方法の従来例を示した図である。

【図 1 8】 デジタル信号をシリアル通信で伝送する方法の他の従来例を示した図である。

【図 1 9】 デジタル信号をシリアル通信で伝送する方法の他の従来例を示した図である。

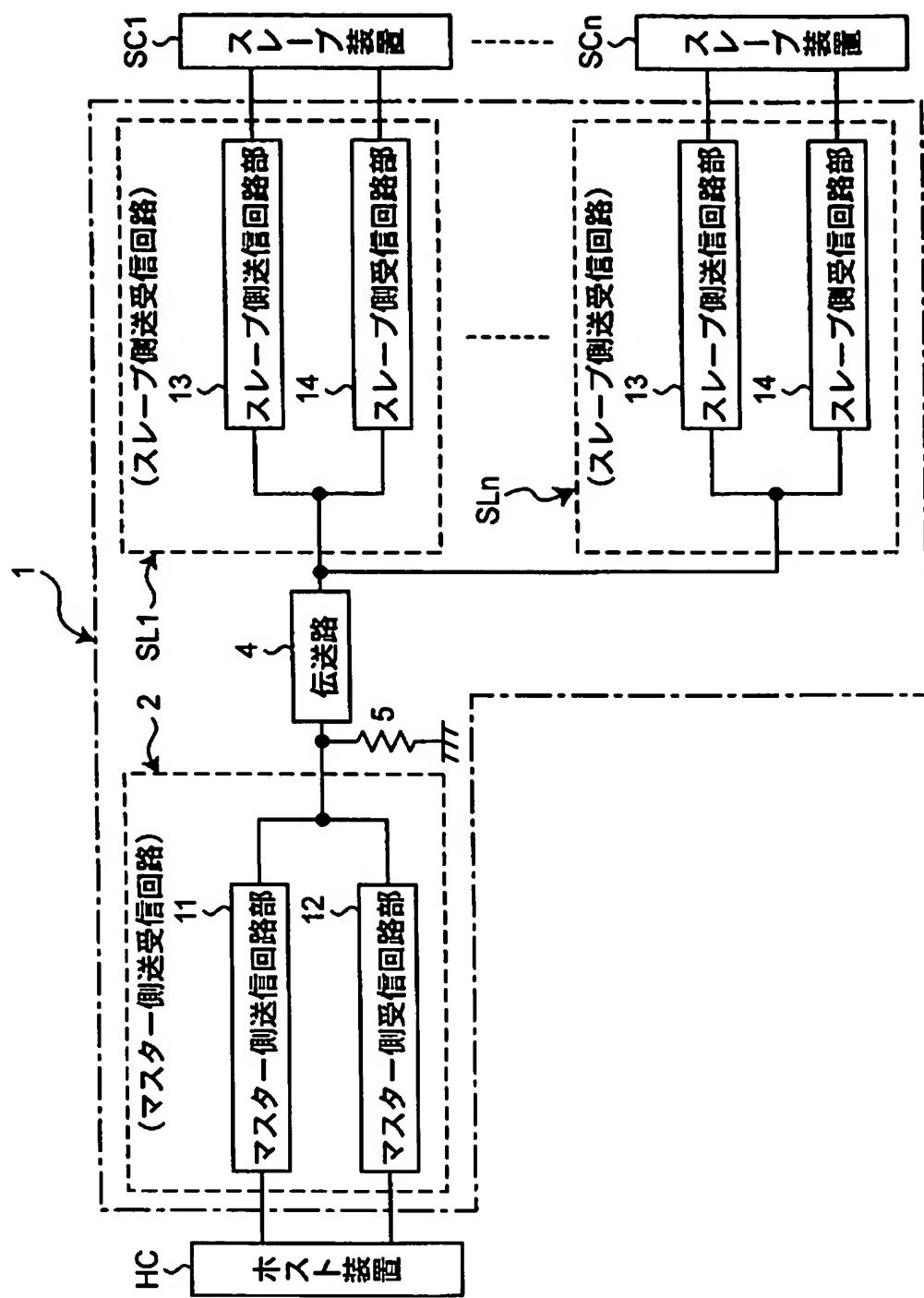
【図 2 0】 デジタル信号をシリアル通信で伝送する方法の他の従来例を示した図である。

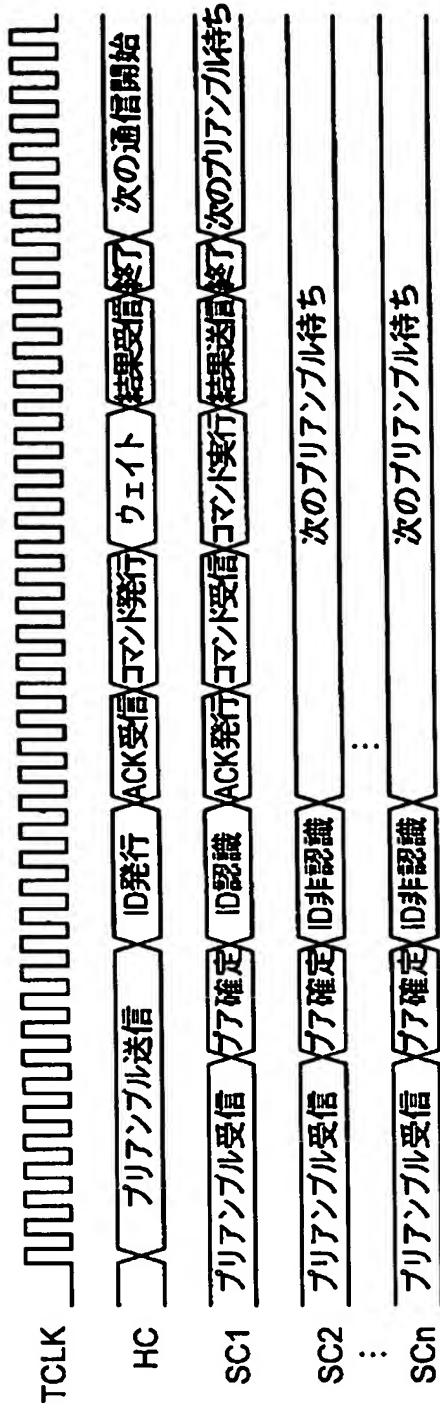
【図 2 1】 半二重通信を行うシリアル通信装置の従来例を示した概略のブロック図である。

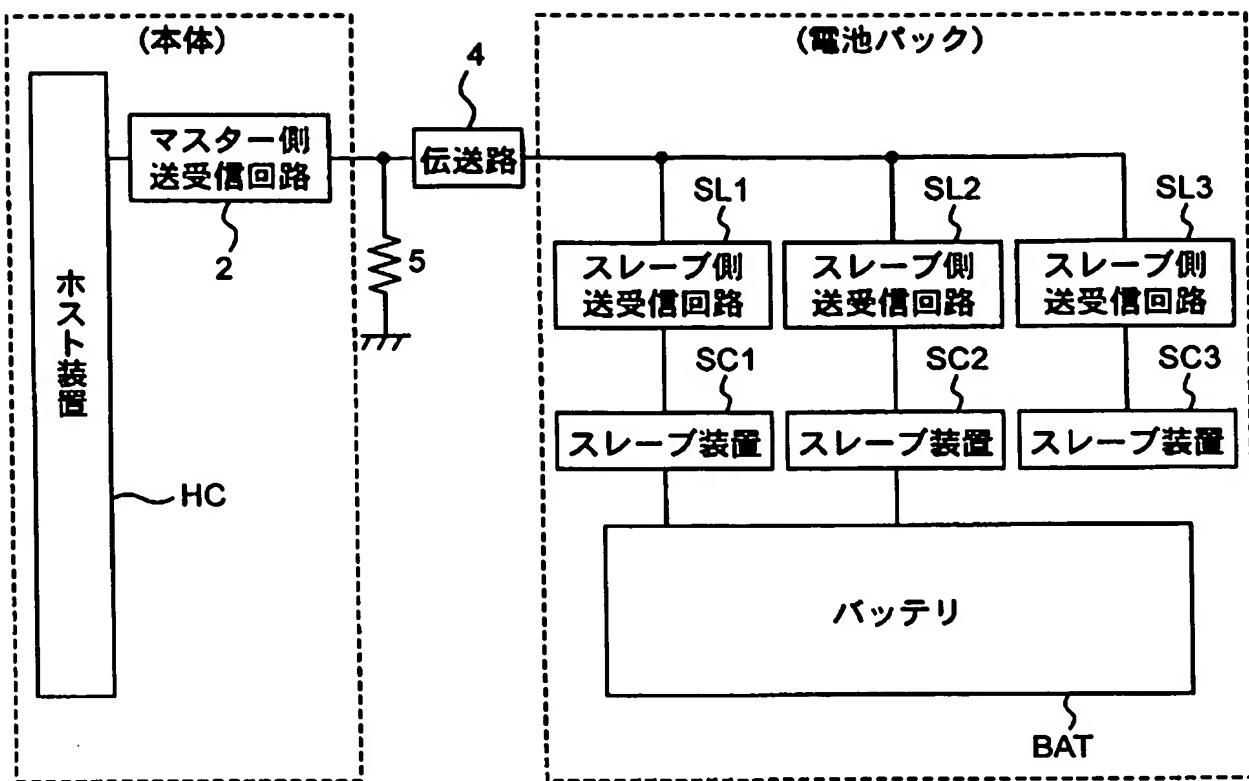
【符号の説明】

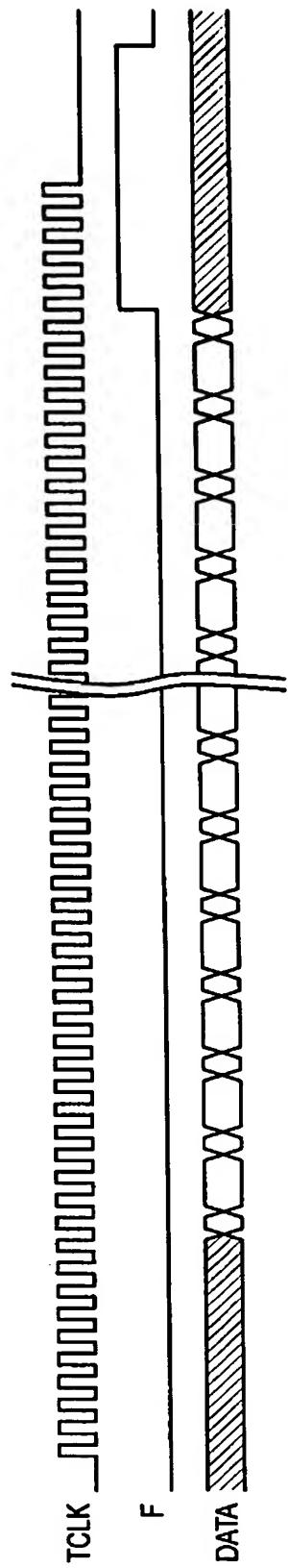
【0 1 0 8】

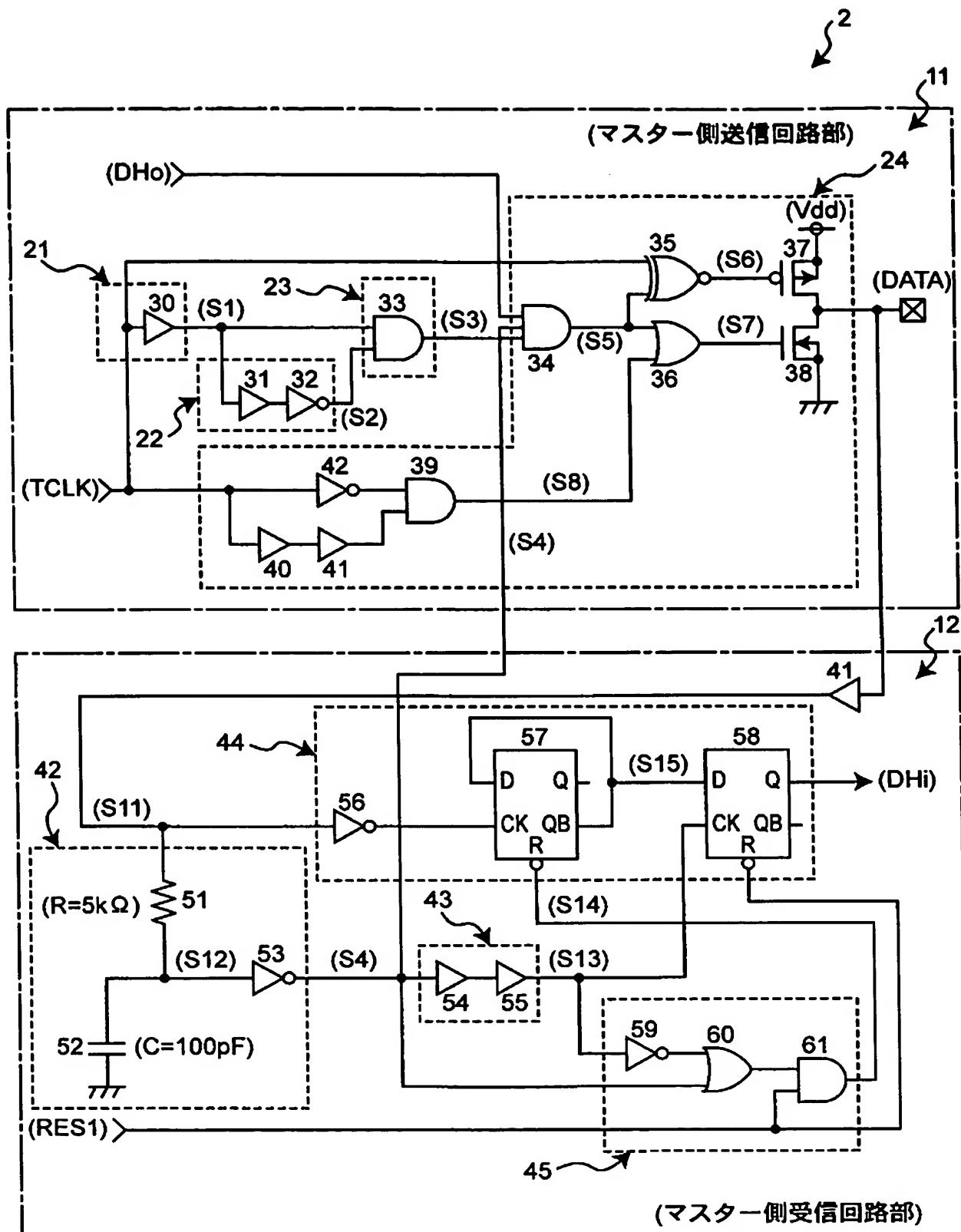
- 1 シリアル通信装置
- 2 マスター側送受信回路
- 4 伝送路
- 5 ブルダウン抵抗
- 7 ブルアップ抵抗
- 1 1 マスター側送信回路部
- 1 2 マスター側受信回路部
- 1 3 スレーブ側送信回路部
- 1 4 スレーブ側受信回路部
- 2 1, 7 1 T 2 遅延回路
- 2 2, 7 2 T 1 遅延回路
- 2 3, 7 3 重畠バルス生成回路
- 2 4, 7 4 出力信号生成回路
- 4 2, 1 0 1 T 4 遅延回路
- 4 3, 1 0 2 入力信号遅延回路
- 4 4, 1 0 3 データ抽出回路
- 4 5, 1 0 4 初期化回路
- HC ホスト装置
- S C 1 ~ S C n スレーブ装置
- S L 1 ~ S L n スレーブ側送受信回路

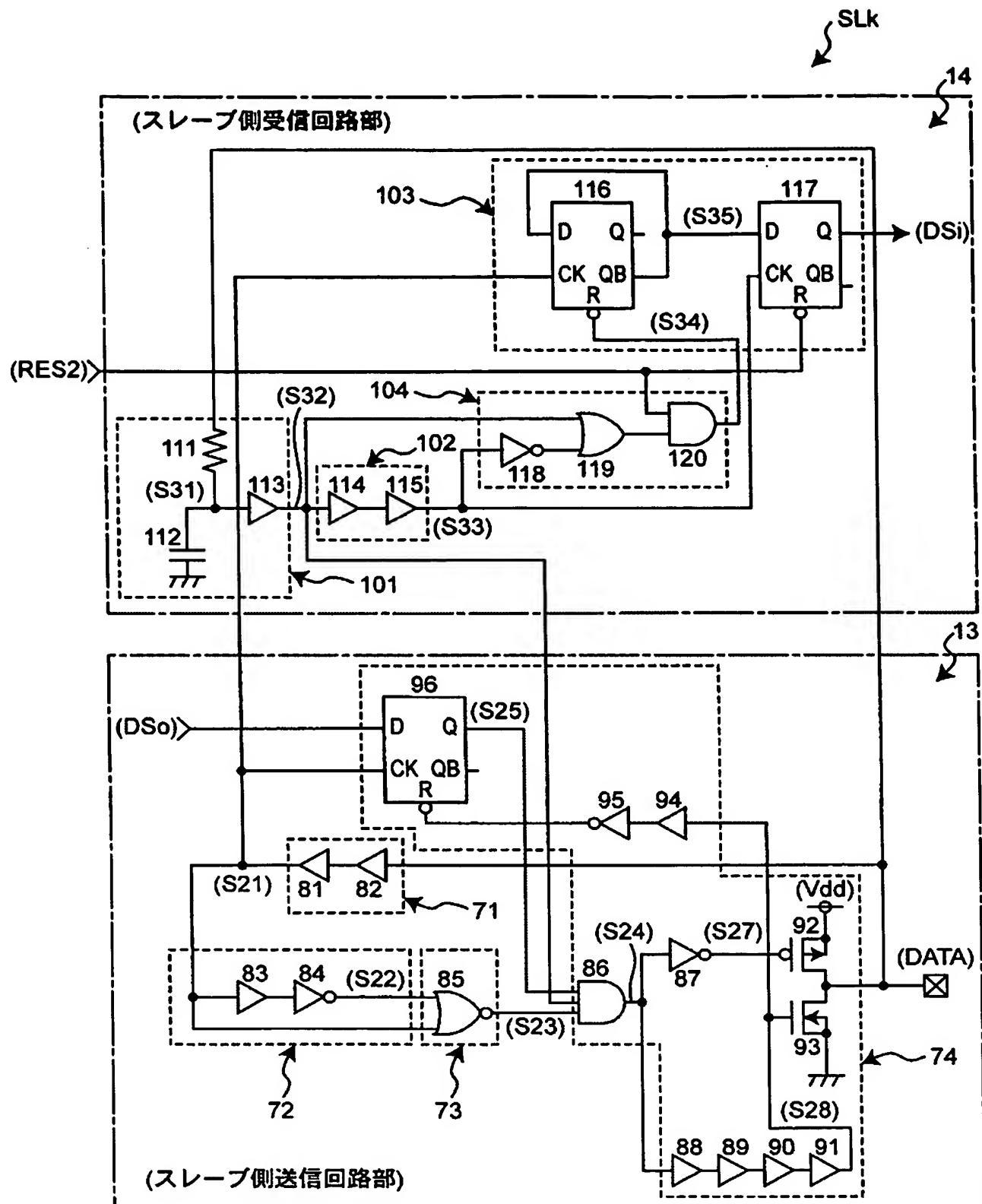


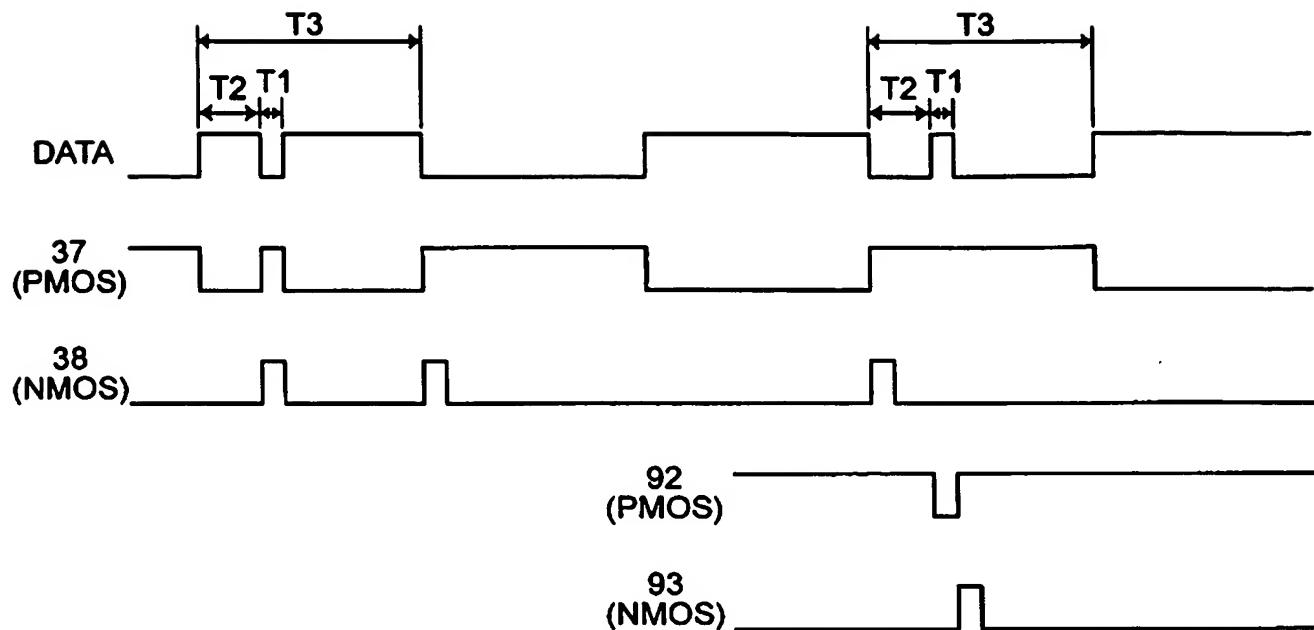




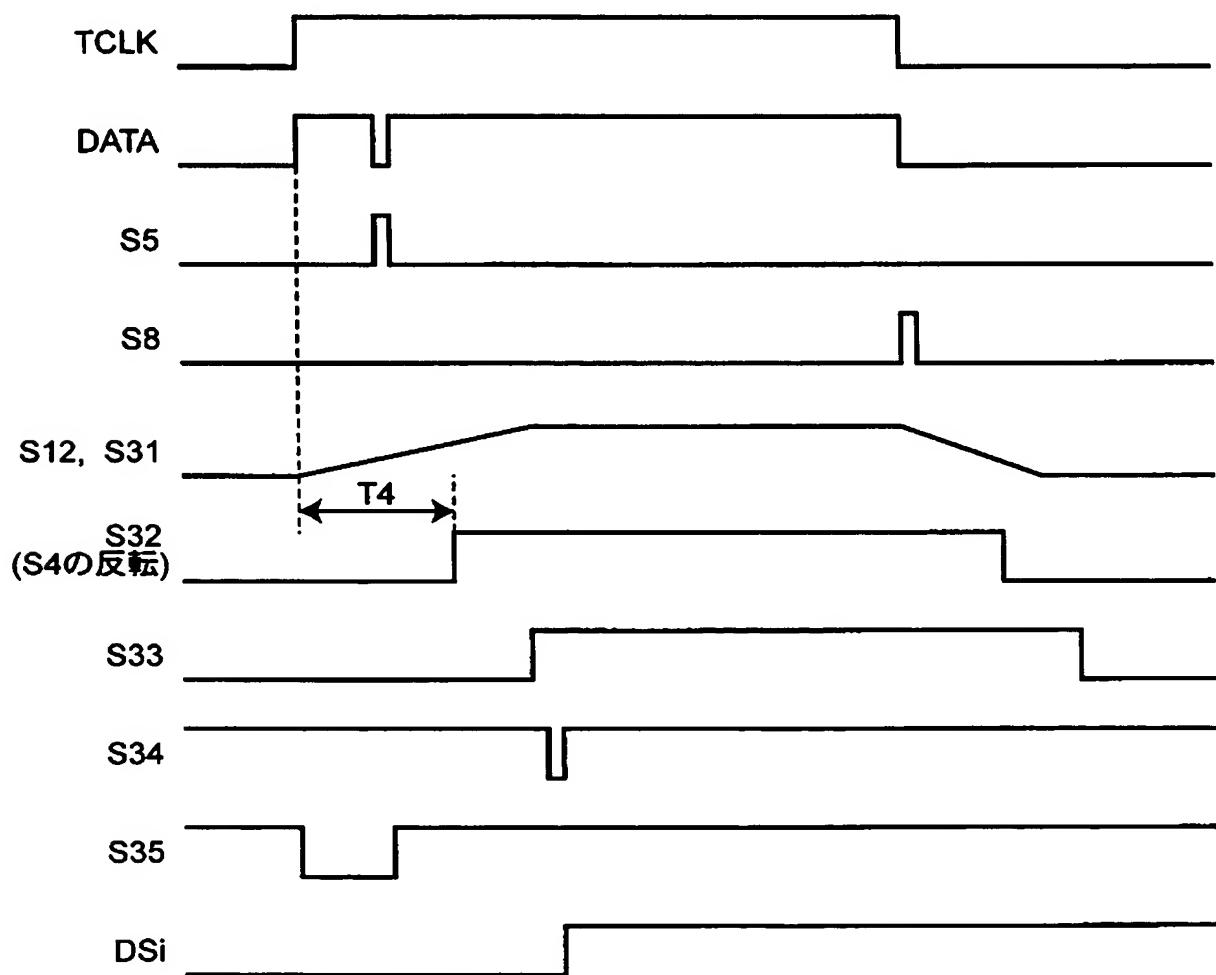


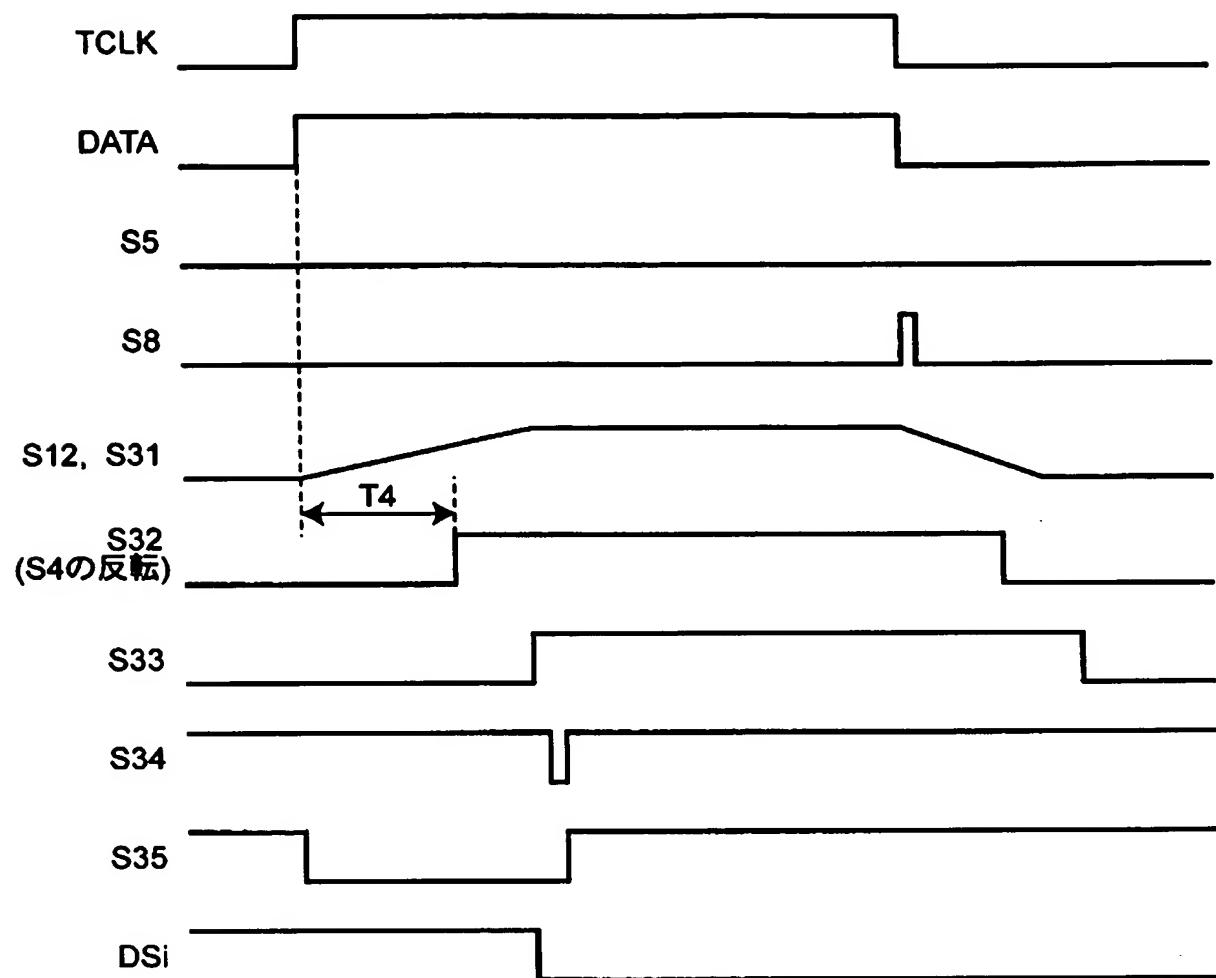


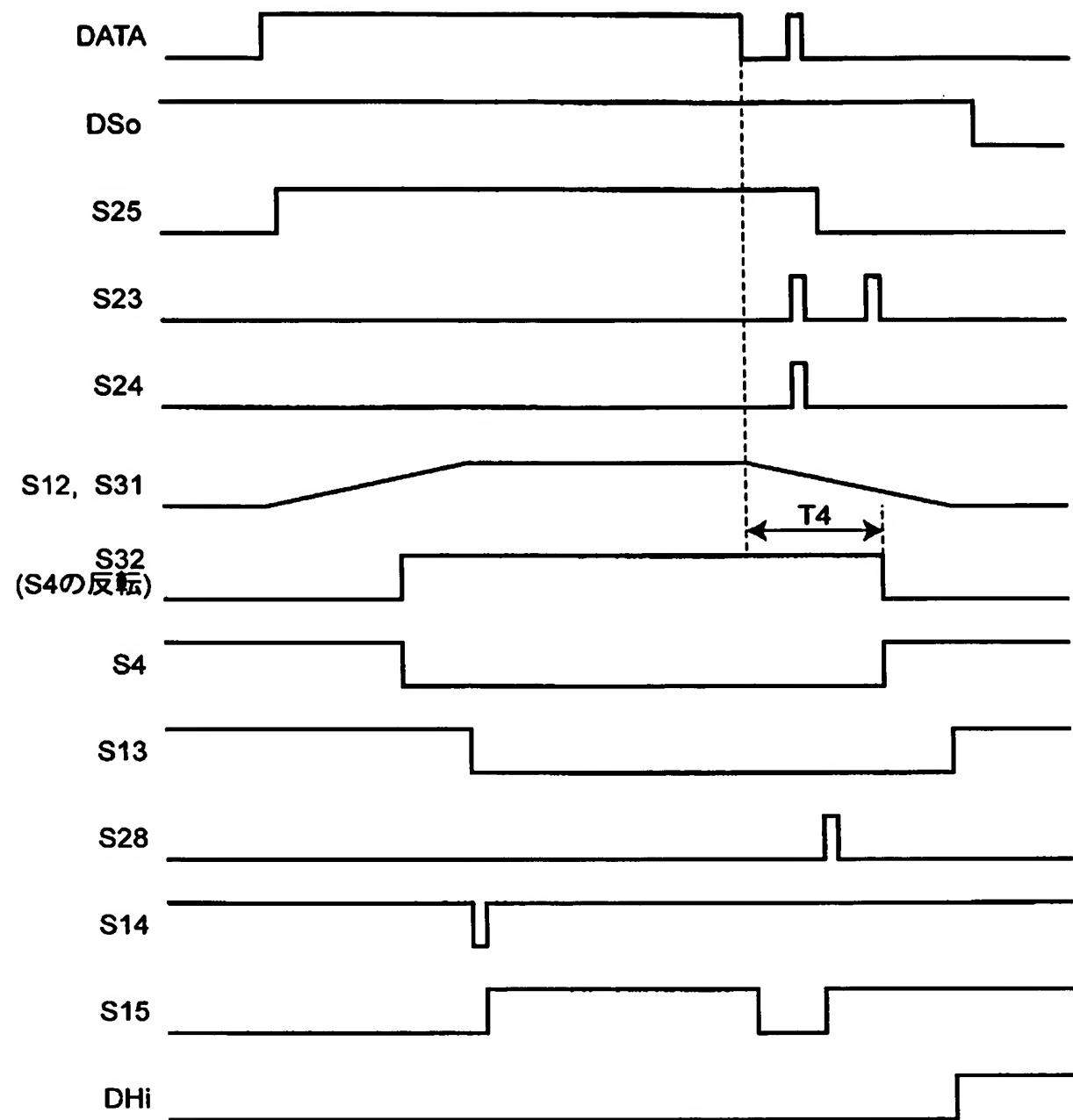


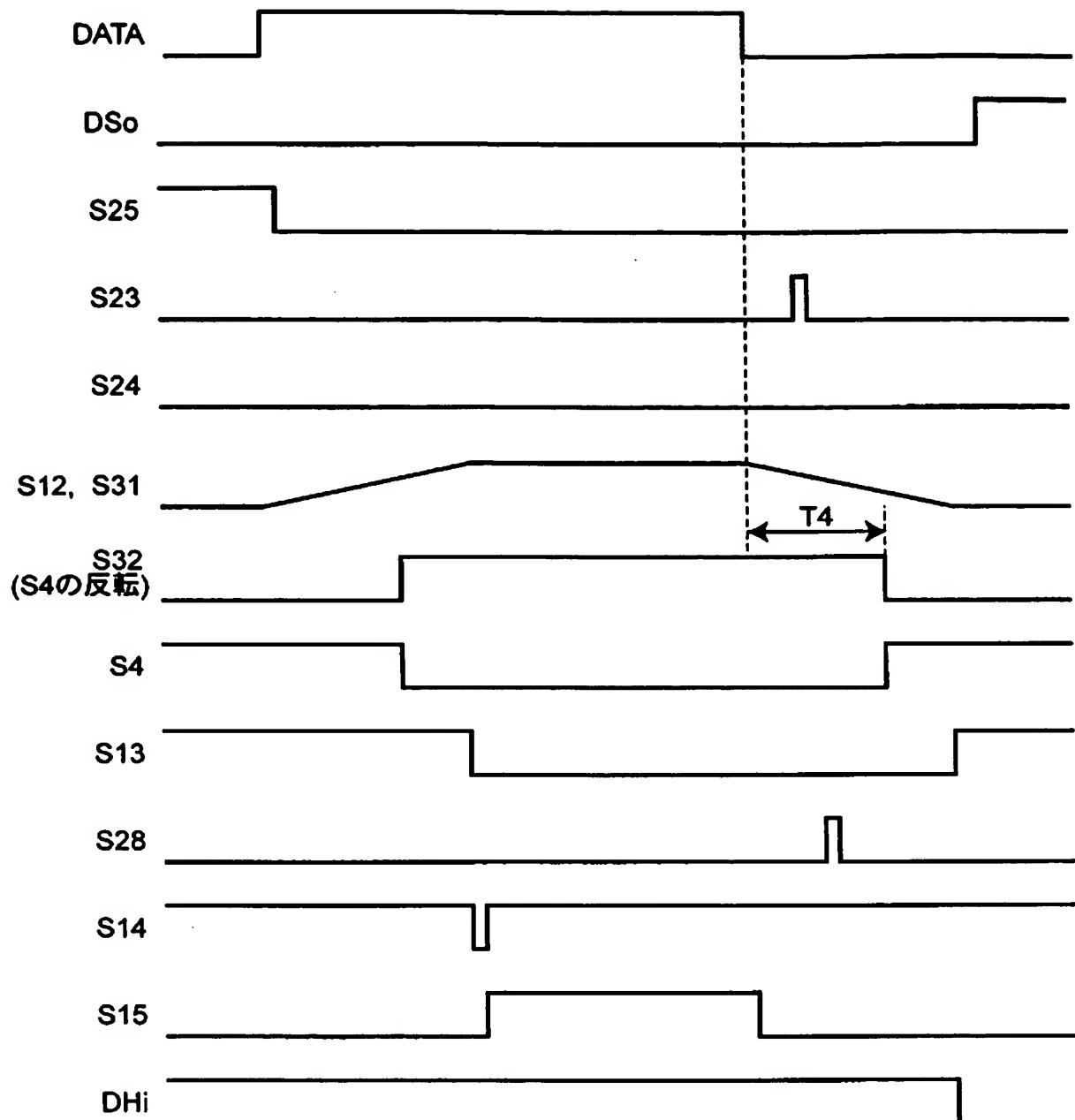


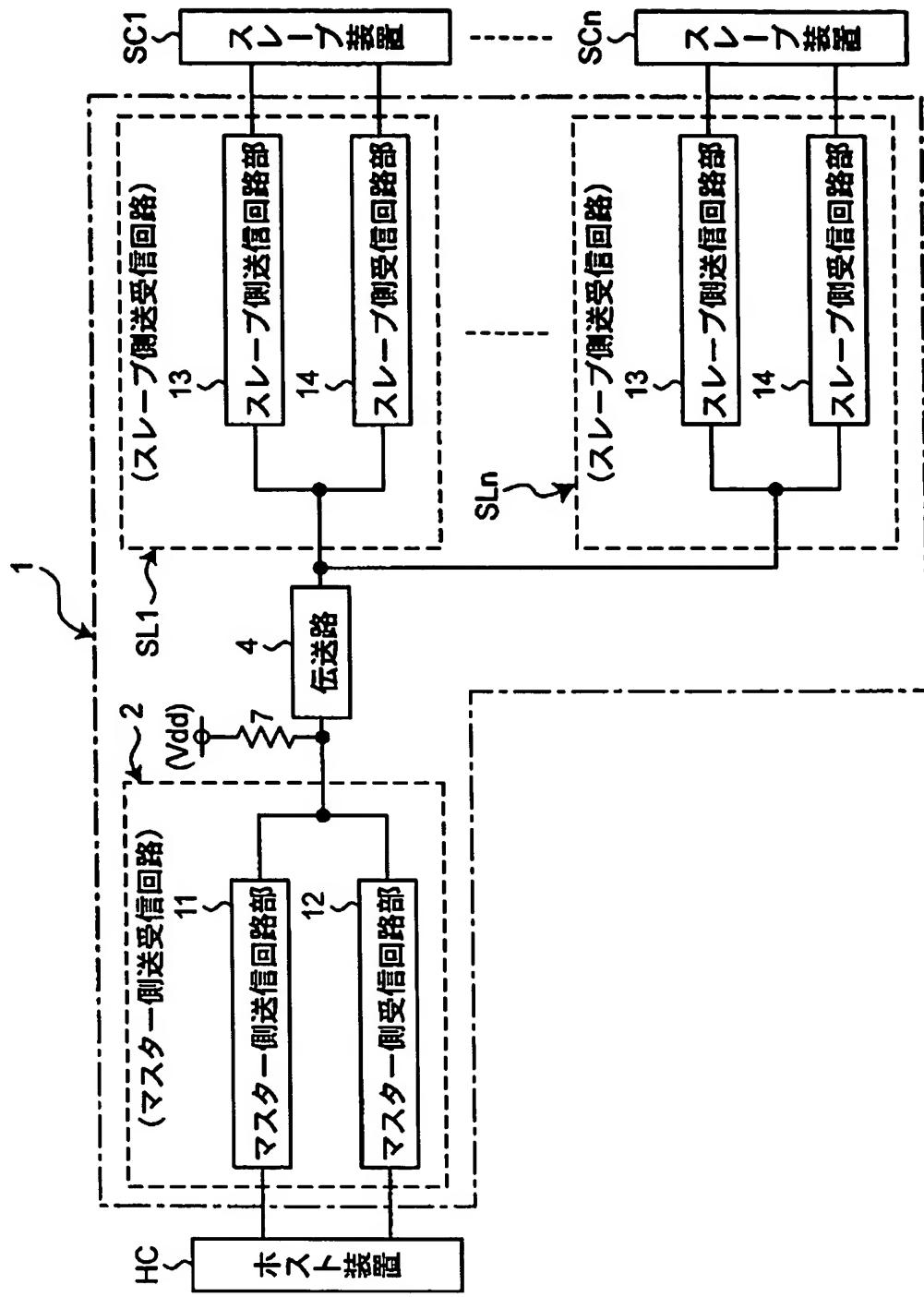
【図 8】

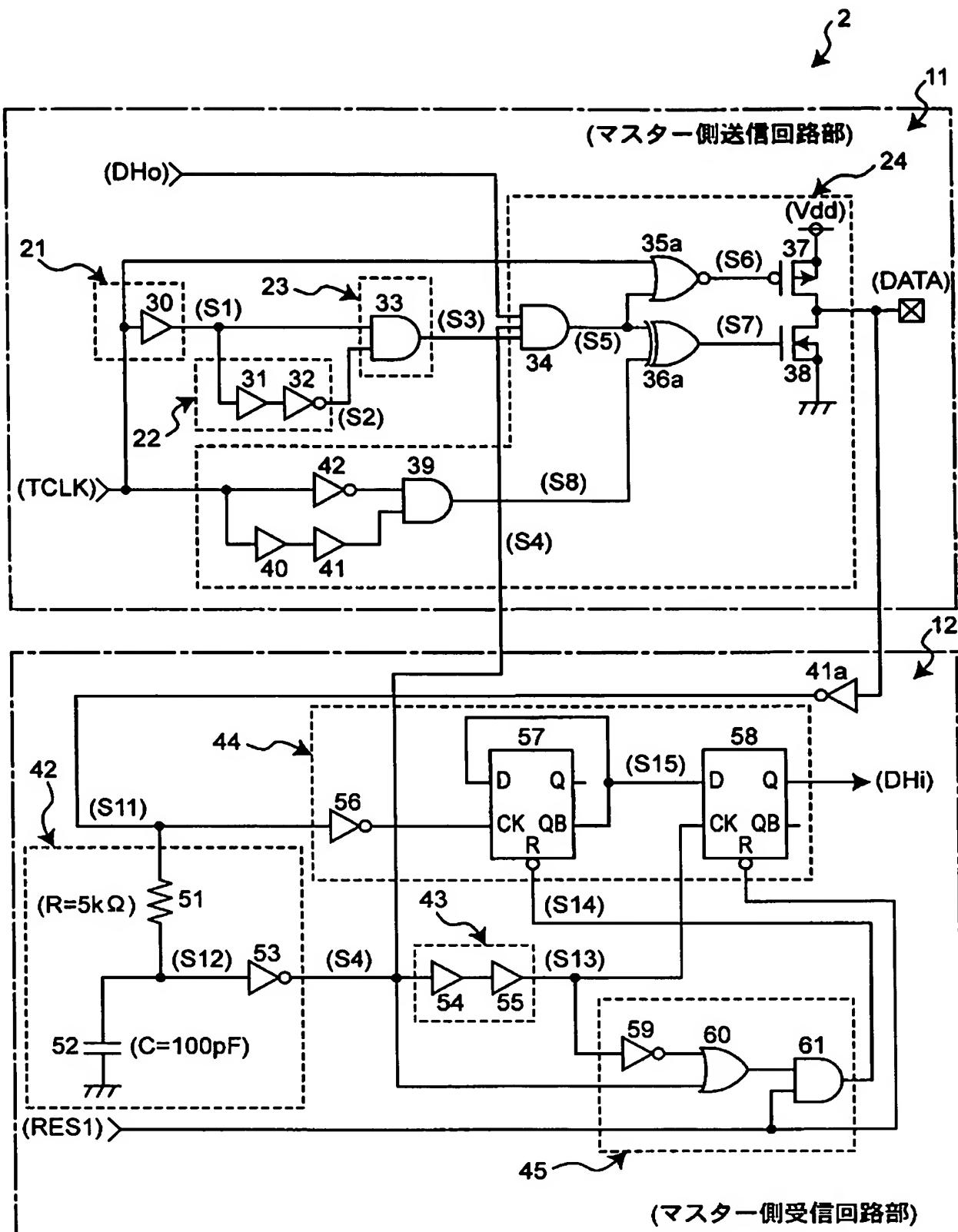


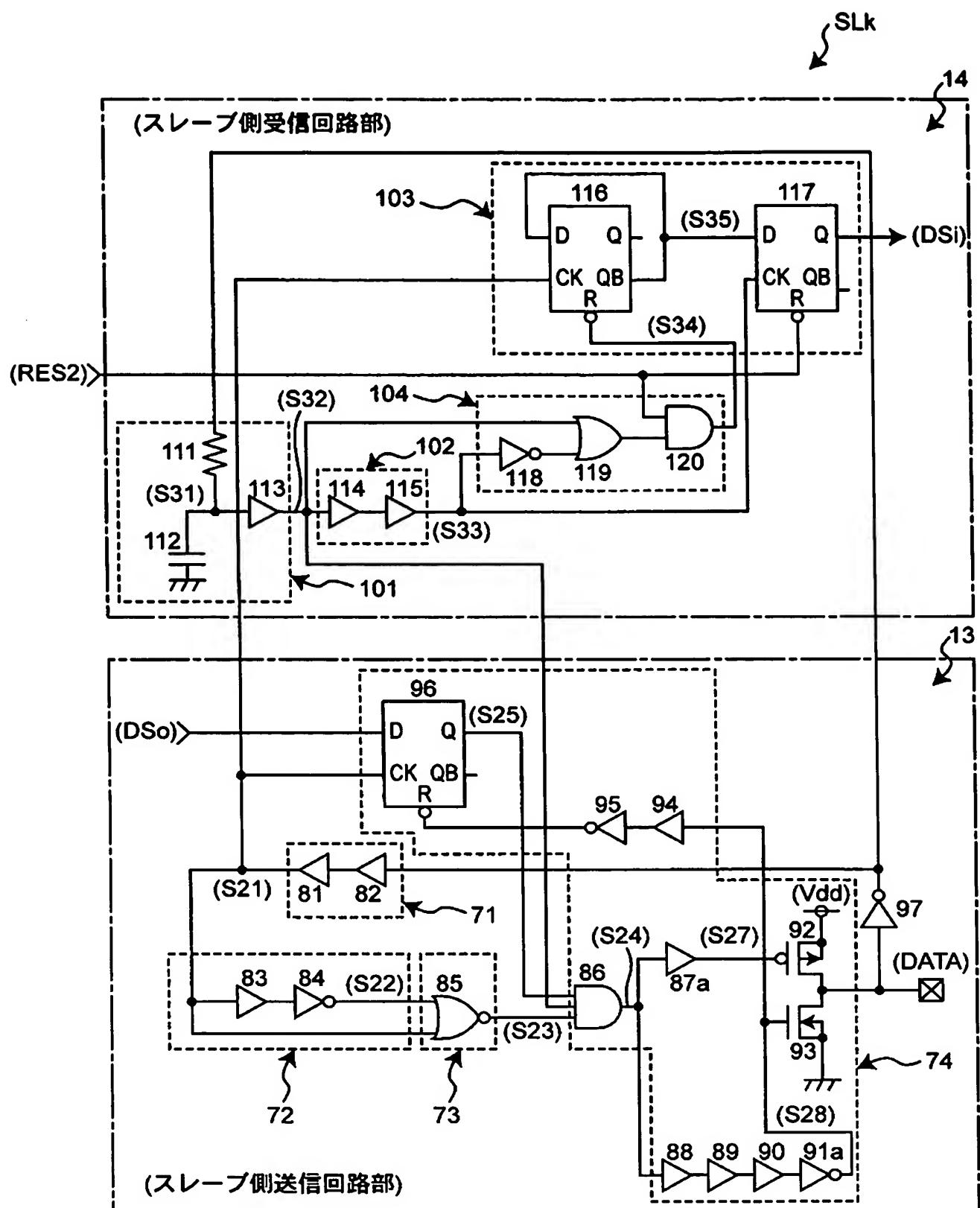


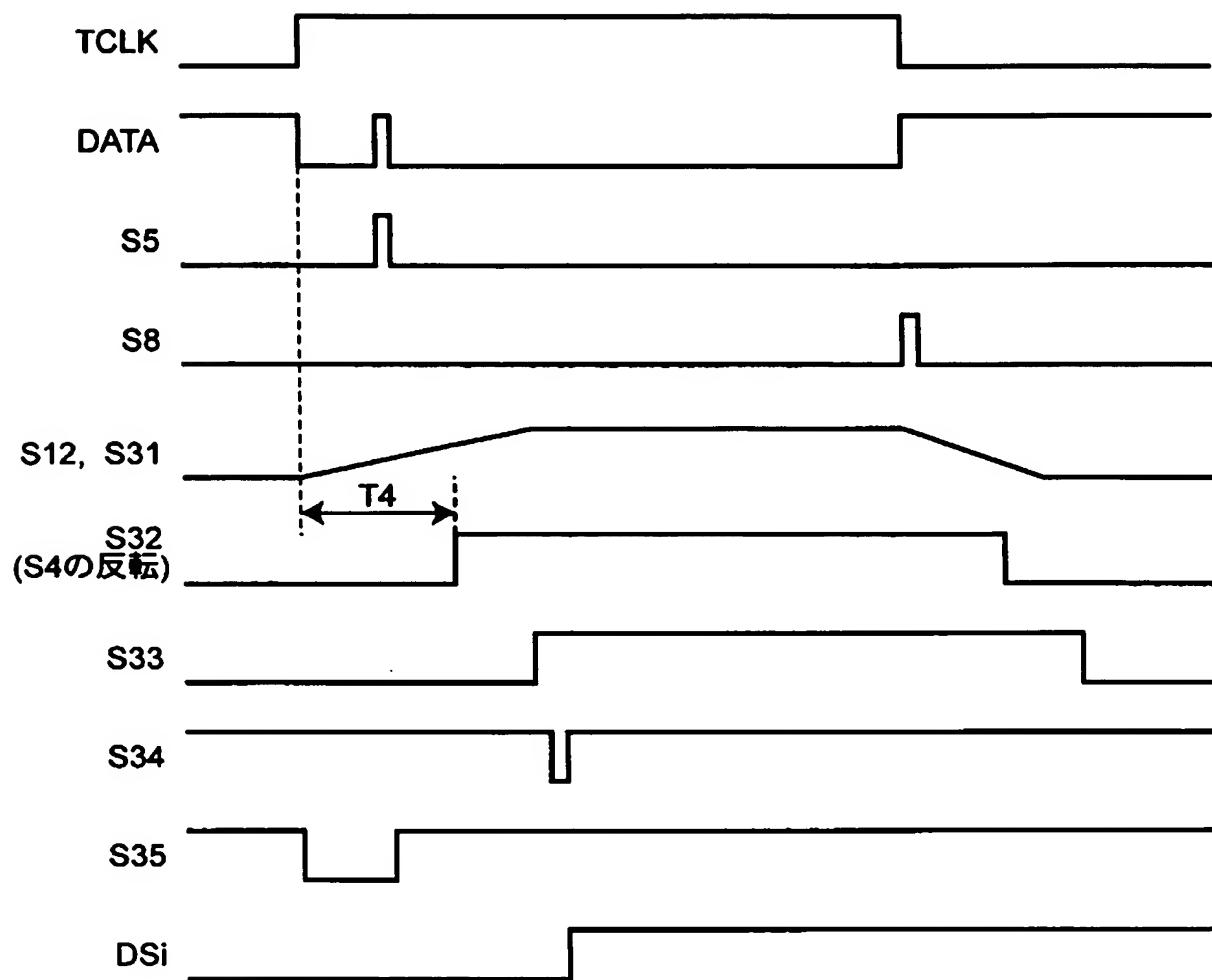


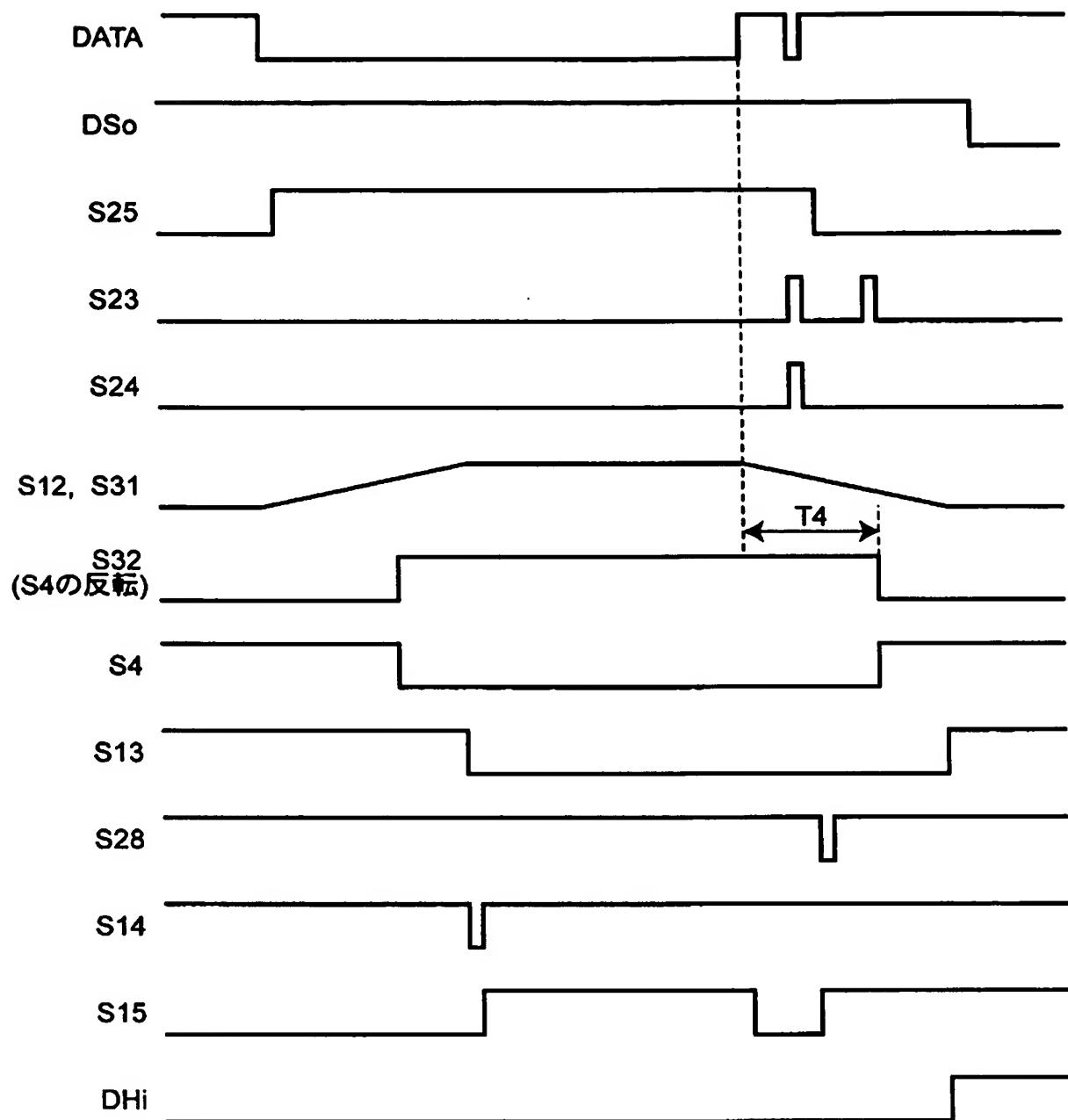




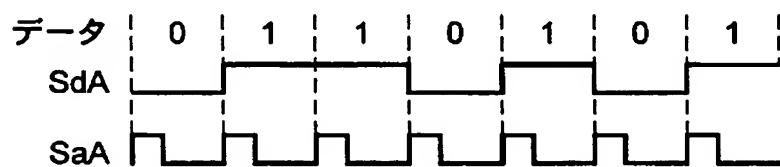


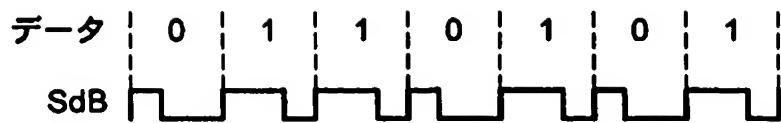




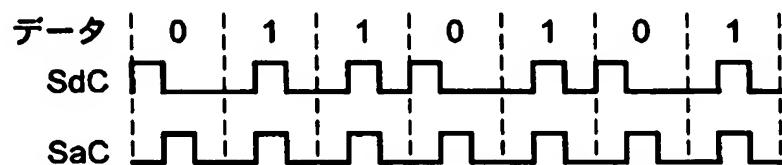


【図 1 7】

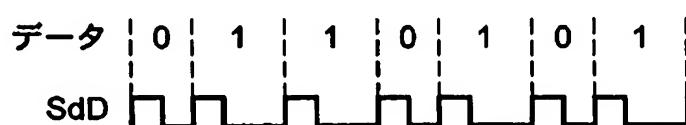


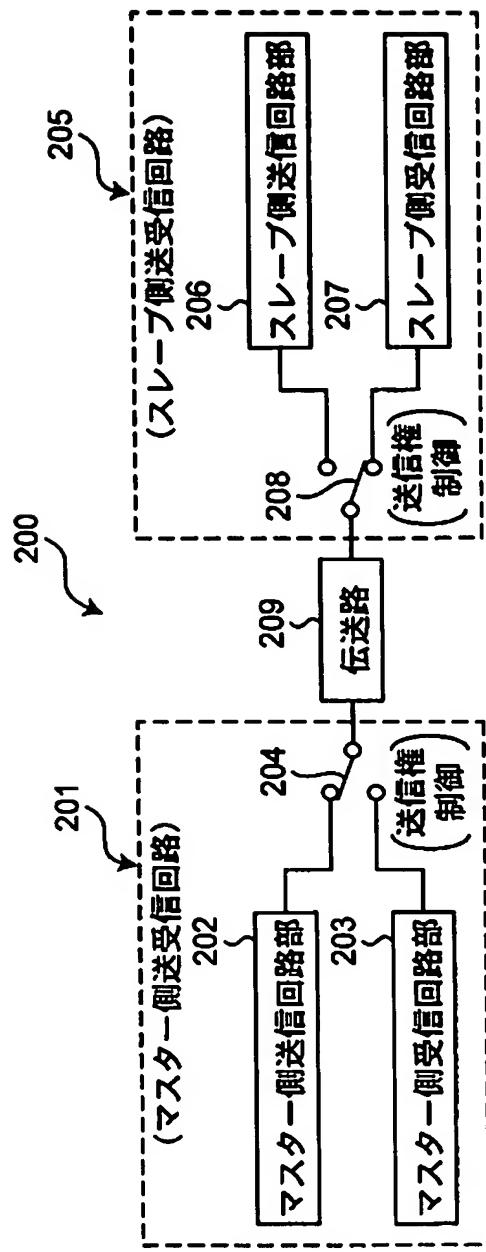


【図 1.9】



【図 2.0】





【要約】

【課題】 同期信号が不要で、マスター側及びスレーブ側の各送受信回路を簡単な回路でそれぞれ構成することができ、スレーブ側の回路負担を少なくして、送受信の切り替え手段が不要な、小型で安価なシリアル通信装置、その通信方法及びそのシリアル通信装置を使用したシステム装置を得る。

【解決手段】 マスター側送受信回路2は、スレーブ側送受信回路SL1～SLnに出力する出力データ信号DH0に応じて、クロック信号TCLKのハイレベルの期間にローレベルの重畳パルスを重畳させたシリアルデータ信号DATAを伝送路4に出力し、スレーブ側送受信回路SL1～SLnは、マスター側送受信回路2に出力する出力データ信号DS0に応じて、伝送路4から入力されたシリアルデータ信号DATAにおけるクロック信号TCLKのローレベルに相当する期間にハイレベルの重畳パルスを重畳させるようにした。

【選択図】 図1

, 000006747

20020517

住所変更

東京都大田区中馬込1丁目3番6号

株式会社リコー

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/012272

International filing date: 28 June 2005 (28.06.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-193040
Filing date: 30 June 2004 (30.06.2004)

Date of receipt at the International Bureau: 29 July 2005 (29.07.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.